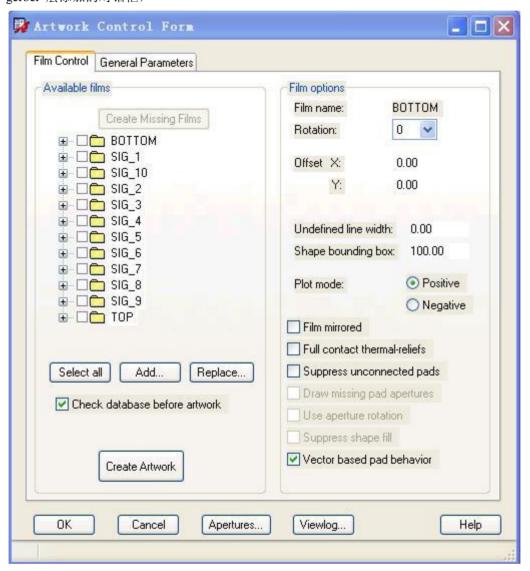


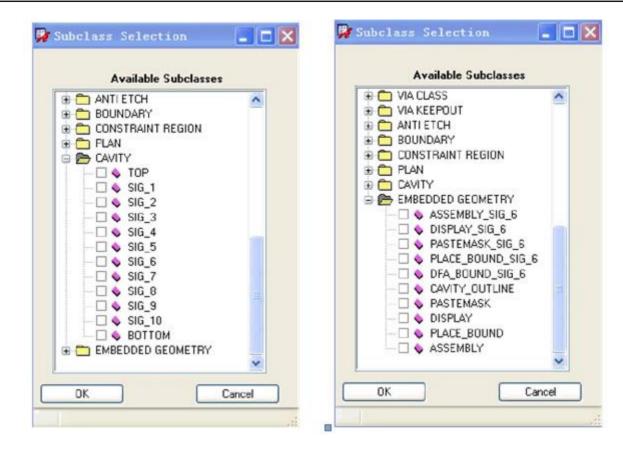
Cadence 16.5 PCB Edit 新功能连载(三)

前段时间有点忙,所以很久没有更新了,上次我们聊到 embedded 器件设计前期的工作,今天接着讨论 上次关于 embedded 设计剩下的最后遗留问题。

1. embedded 设计完后,后期怎么制作相应的 gerber 文件,在 artwork 下面又多了哪些相关层?? 用过 Allegro 的大家都知道怎么去添加 gerber 层,这里不多作介绍,点击 Manufacture-Artwork 进入 gerber 层添加的对话框,



这里右击 Available films 中任意一个文件夹右击 add 来添加新的 gerber 层,这里我们可以看到里面 又增加了 CAVITY 层及 Embedded 层,工程师可以将腔体及 Embedded 层相关有用到的层面加入到 gerber 层。



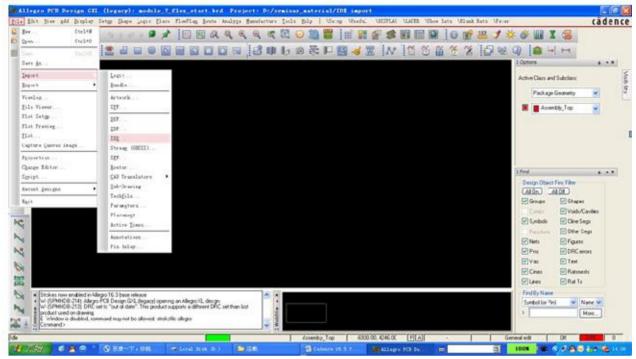
到这里为止,居于埋阻埋容设计的所有步骤都已经讨论完毕,如大家还有什么遗留疑问的话可以联系我。

2. 接下来我们来讨论 16.5 在导入导出机构文件上做出的的一些哪些非常有用的改变。 在之前的版本里我们都通过导入 dxf 文件来实现机构与 PCB 工程师的沟通,每次机构工程师有更新时就 要发一版机构 DXF 给 PCB 工程师,然后工程师选择删除上一版的 dxf 或者重新新建一个层面来导入。但 是由于机构的更新往往不止一次两次就能敲定,所以 PCB 这边就要不断删除或者新建层来导入机构最新的 更新,这样势必就会影响我们整个项目的设计时间。

16.5 的出现完全解决的现存在的问题,全新的 IDX 格式导入,使机构工程师与 PCB 工程师很轻松的进行数据互导,PCB 工程师只需要 update 机构过来的 IDX 文件,可以选择接受/拒绝机构那边的更改。当然同时机构工程师也可以根据 PCB 工程师导出的 IDX 文件来了解 PCB 对机构的接受拒绝状态。

费话不多说,直接进入实战模式^^

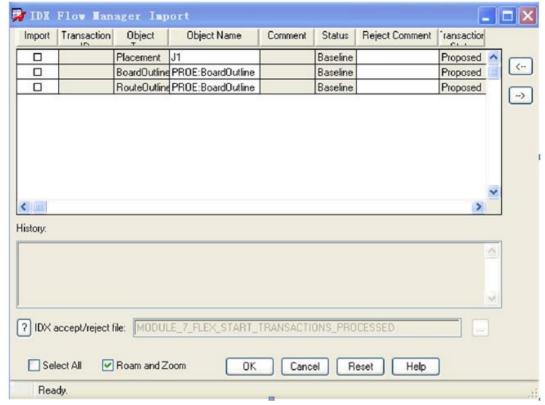
首先打开一个空白板子,点击 file-import-IDX,



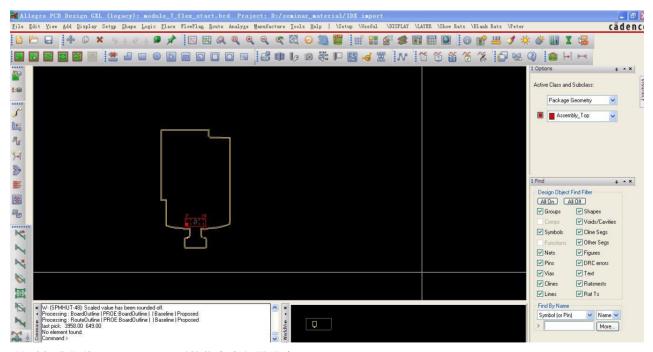
出现 IDX In 对话框后点击浏览,选择 baseline,如图:



选择完毕后直接点 import 导入,接下来出现以下对话框,如图:



对话框中会显示当前导入的有哪些东西,从图中我们可以看到有接插件 J1, Board Outline 及 Routoutline, 然后在 import 那栏的方框里全部打钩将其全部 import 进来。如下图:



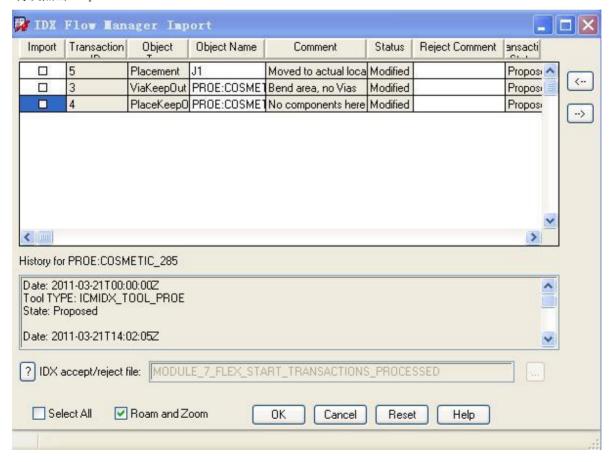
这时候我们将 baseline 里面的信息全部导进来了。



接下来我们假设机构有所更新,我们要 update 以下机构图,所以我们再次导入 IDX, 如下图, 我们选择 update. idx,

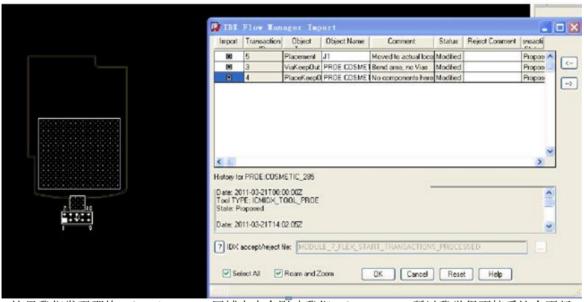


再次点击 import。

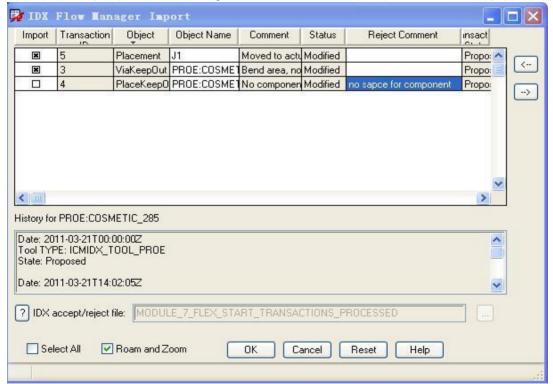




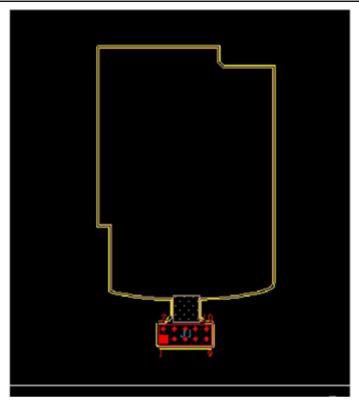
从上图我们可以看到 J1 被移动了(点击左边 import 方框可以看到 J1 移动的位置),而且还增加了 ViakeepOut 及 Placekeepout 两个区域。点击左边 import 方框我们可以预览以下更新的情况:



这里我们发现那块 placekeepout 区域太大会影响我们 placement,所以我觉得不接受这个更新,而其他两个更新我可以接受,所以这时候我就只能选择前面两项 import,而最后哪项将被拒绝更新。我们点击 import 的前两项勾上,而第三项我们可以在 reject command 里面可以填上拒绝理由给我们的机构工程师。



然后点击 ok 导入。



这时大家看到 J1 及 viakeepout 已经被导进来,而 placekeepout 则被拒绝。

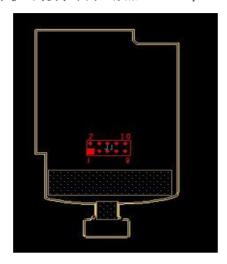
最后我们可以在板子工作文件夹下面找到一个后缀是 html 的文件,将其打开可以查阅我们 update 过程中的 所有记录,包括接受的或拒绝的更新及拒绝的理由。 Transaction Report (module_7_flex_start)

Bute: 2011-03-21700:00:002 Tool Type: ICMING_TOOL_PROM State: Proposed

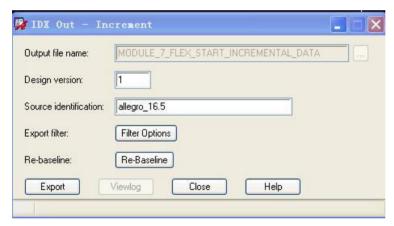
				Date: 001-00-0174-00 DEL Legis: che Danil: chelectore.com Danil: chelectore.com Danil: chelectore.com Danil: Chelectore.com Danie: Chelectore.com Danie: Chelectore.com Date: Propried Date: Propried Date: Propried Date: Chelectore.com Danie: chelectore.com Danie: chelectore.com Danie: chelectore.com Danie: chelectore.com Danie: chelectore.com Date: Marce TV Alichate - 9.1 Tool Type: LOWING MODERNIC MARCHI COMMON. Development Date: Chelectore.com D
3	VialingOut OOTK:	PROE:COMMITC_274	Acceptad	Date: 2011-00-01700 00-0000 Find: Type: 100103 1000_10000 Find: Typepani Date: 2011-00-01814 00:1772 Legin: sha Banil: sha@declore.com Find: Born: FF Validate, 9:1 Find: Born: FF Validate, 9:1 Find: Born: FF Validate, 9:1 Find: Find: FF Validate, 9:1 Legin: Frequent Legin: Frequent Find: San: CORNEC_SALESONO -18.5 00060 Find: Find: Find: FF Validate, 9:1 Find: Find: CORNEC_SALESONO -18.5 00060 Find: Find: Find: FF Validate, FF Validat
•	Fi acello eg/Out OCTIMO	PROE COSMITIC_DOS	Rejected	Date: 2011-00-0100 00 000 Feel Type: 108182_0002_1858 State: Tryopene Date: 2011-00-0114_00_085 Legin: sks Beall: shelferdone.com Feel Type: 108182_0002_18184 = 9.1 Feel Sen We CT 15:00:00 2001 Legin: Teter Feel Sen: CASHET_ALIZORO - 16.5 0006) Lomman: no tagic for compensant State: Zenotect.



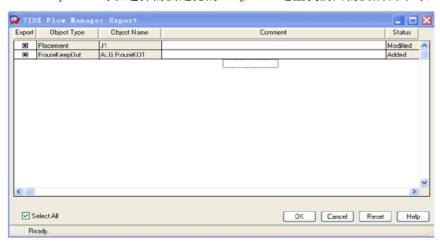
最后 PCB 工程师 update 完后再加上自己的一些编辑也需要导出 IDX 给机构工程师反馈。首先我们在板子上随意编辑,如移动 J1 到板子中间,添加 routkeep out 区域,如图所示,



点击 file-export-idx



其中 filter Option 可以选择需要过滤的 object, 这里我们只需要默认即可, 点击 export,



P8/9



这时候我们也可以看出 PCB 工程师所作的修改,点击 ok 后导出 IDX 给机构,如此反复即可完成互相沟通。 今天就写到这,后面内容我也会尽快更新出来。

联系方式:

科通数字技术有限公司

总部: 深圳市南山区高新南九道微软科通大厦 8-11 层

产品经理: 干其平

手机: 18049720018

邮件: QipingWang@comtech.com.cn

地址: 上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

华东地区

联系人: 陈敏敏

手机: 18017922811

邮件: PeterChen@comtech.com.cn

地址: 上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

华南及西部地区

联系人: 谭波涛

手机: 15920086575

邮件: terrytan@comtech.com.cn

地址:深圳市南山区高新南九道微软科通大厦 8-11 层

华北地区

联系人: 党建成

手机: 18010161381

邮件: SudyDang@comtech.com.cn

地址: 北京市海淀区中关村大街 1 号海龙大厦 14 层北区 1418-21