

Cadence 16.6 OrCAD Capture CIS 新功能连载（一）

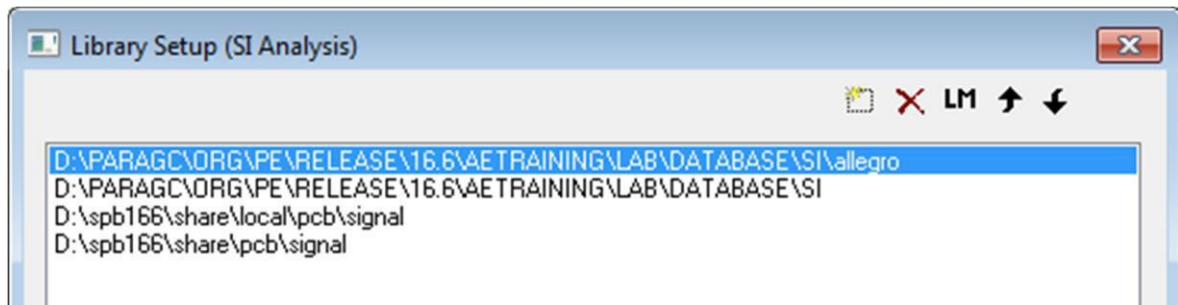
Schematic Driven Signal Integrity Analysis

16.6 版本出来将近半年了，一直想和大家分享一下 OrCAD 在 16.6 上面的表现。今天终于可以坐下来说一下了。今天要讨论的是 Capture 非常实用的一个更新，原理图与 SI 分析的完美结合。

大家知道，当今对 PCB 设计的周期要求越来越短，信号的频率却在不断的升高，对于高速 PCB 设计中带来的 SI 问题也越来越关注。所以我们就会想各种方法来解决这一系列问题，既缩短 PCB 设计的周期，又可以解决 SI 带来的各种问题。很自然的我们会考虑在原理图阶段就介入 SI 的分析，然后赋予高速信号一些 PCB 高速设计规则。而我们知道当前的 PCB 工具只能在 PCB 部分才能调用 Signal Explorer 来做这些工作，现在来看看新版本是怎么完成的。

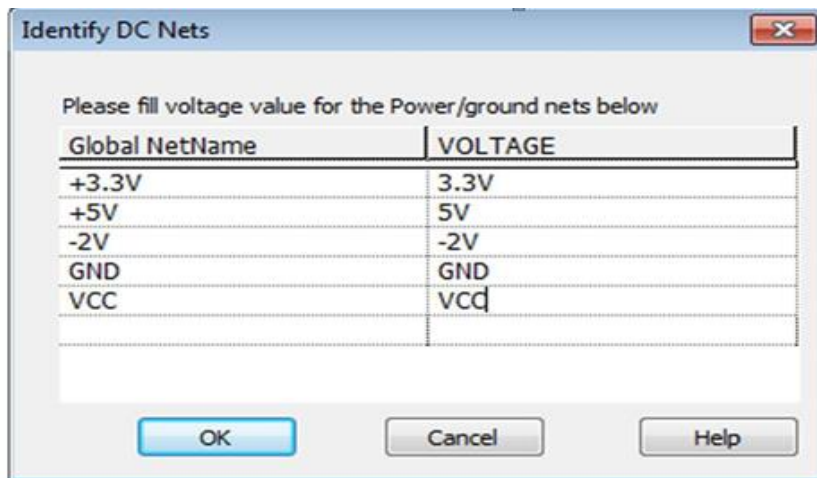
打开 OrCAD Capture, 然后打开任意一个图纸。

- 一， 为了方便后面用 Signal Explorer 提取 Top 结构, 我们必须设置好 IBIS 库路径(这个和 PCB SI 仿真一样)，选择菜单栏中的 SI Analysis->SI Library Setup,



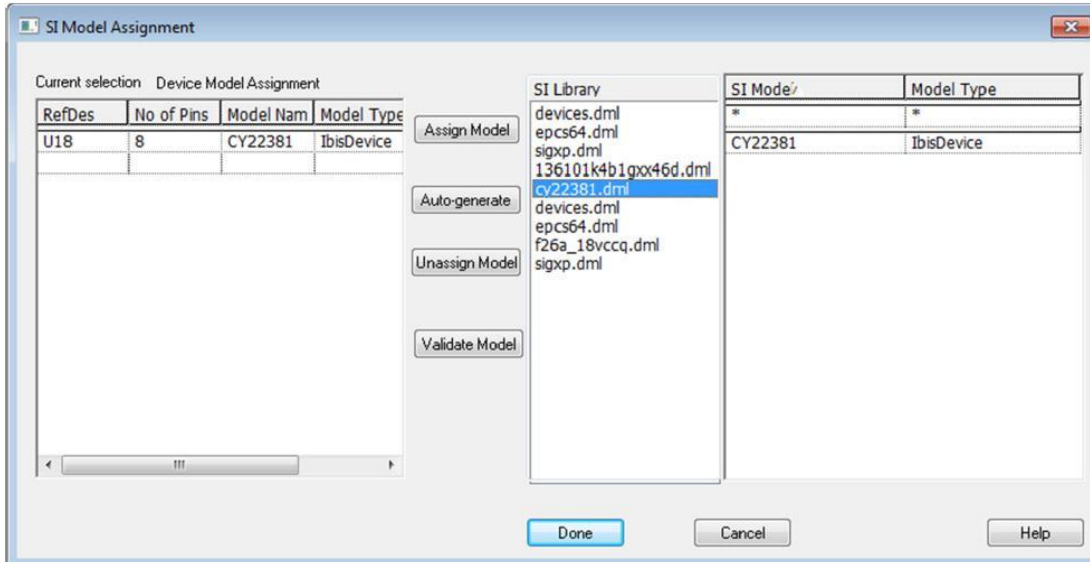
将存放 IBIS 库路径添加到里面。

- 二， 点击 SI Analysis->Identify DC Nets Identification, 将所有电源地赋值，



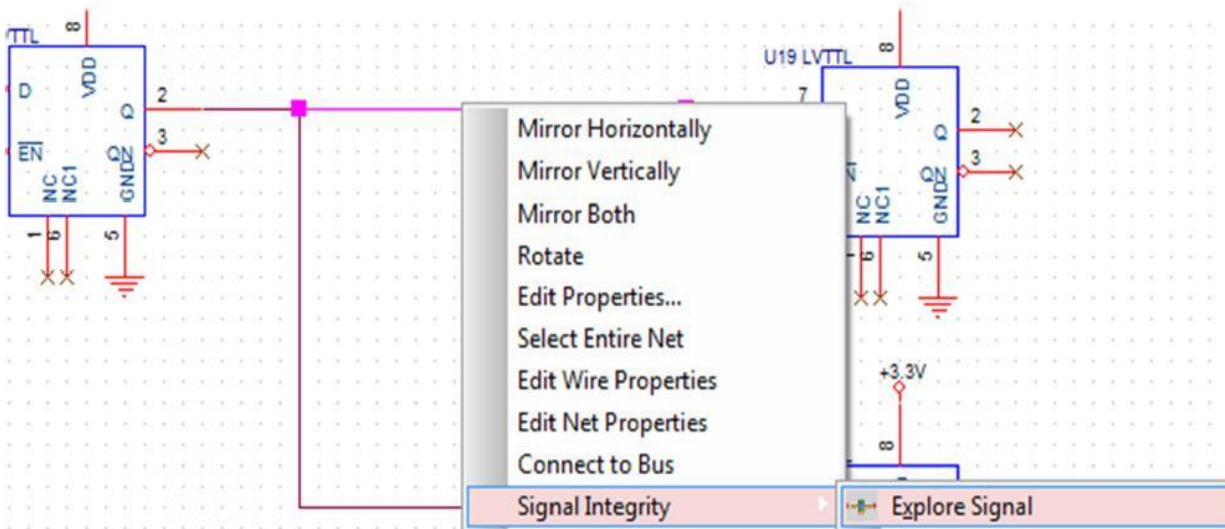
三，我们需要将一些 Discreat 器件自动的赋上默认模型，点击 SI Analysis-> Auto Assign SI Models

四，在原理图里选择你需要赋模型的器件，右击-Signal Integrity->Assign SI Model

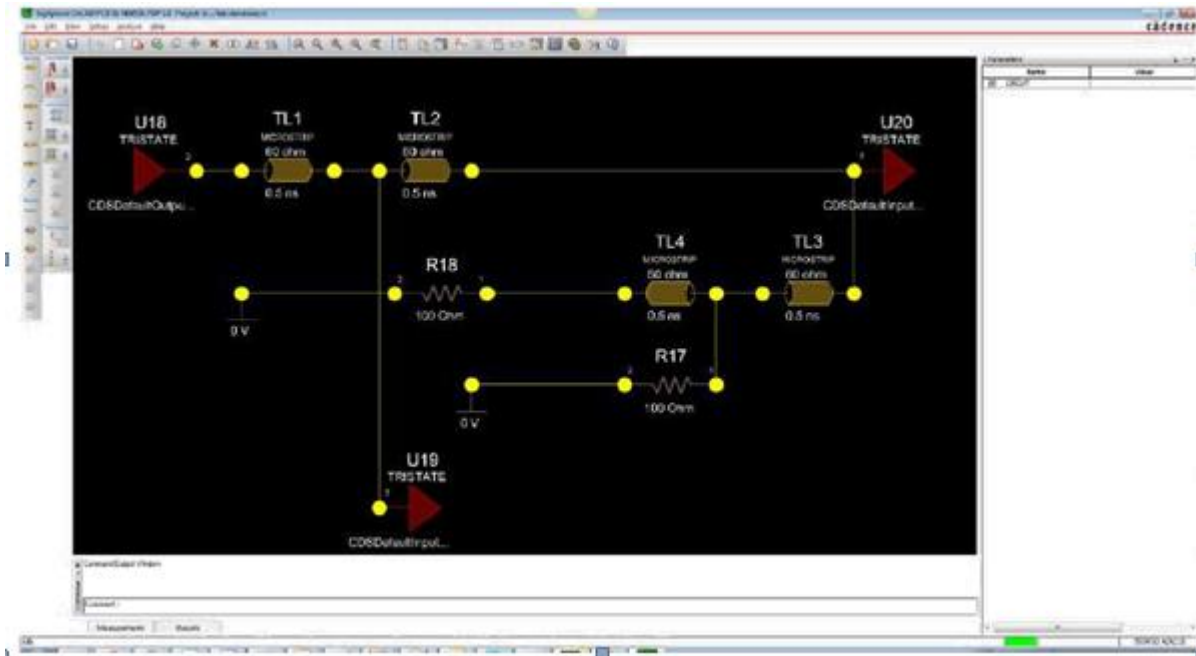


从右边选择相对应的模型，点击 Done，即完成赋模型了。

五，接下来就是提取网络的拓扑结构了，打开需要提取拓扑结构的网络，右击 Signal Integrity -> Explore Signal



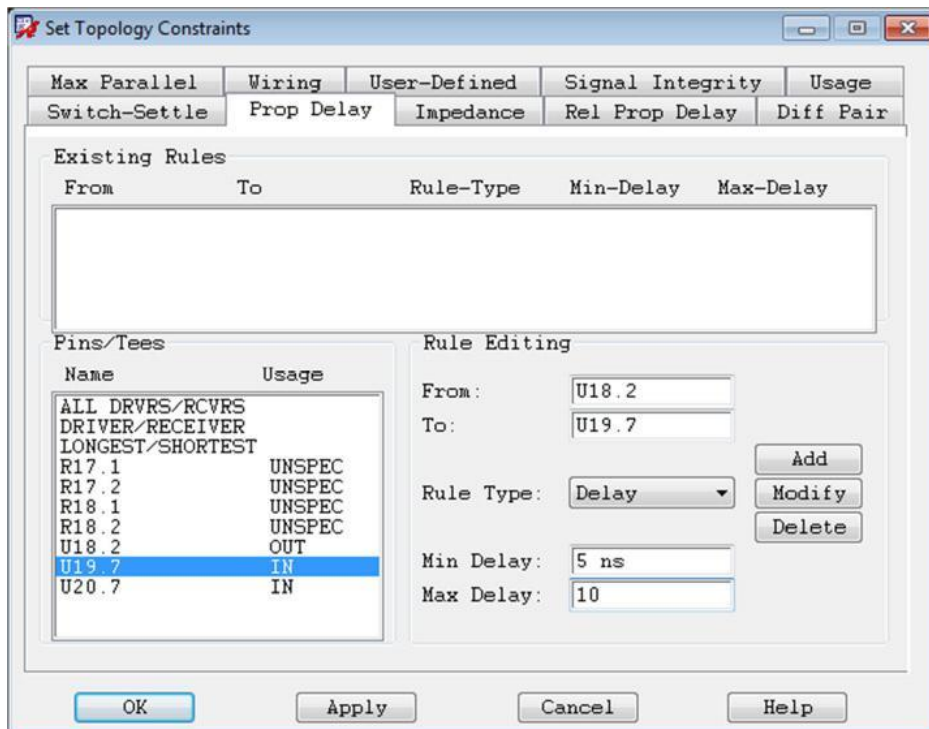
然后软件会自动打开 Signal Explorer，并且打开提取的 Top 结构。我们会发现它会自动识别 xnet。



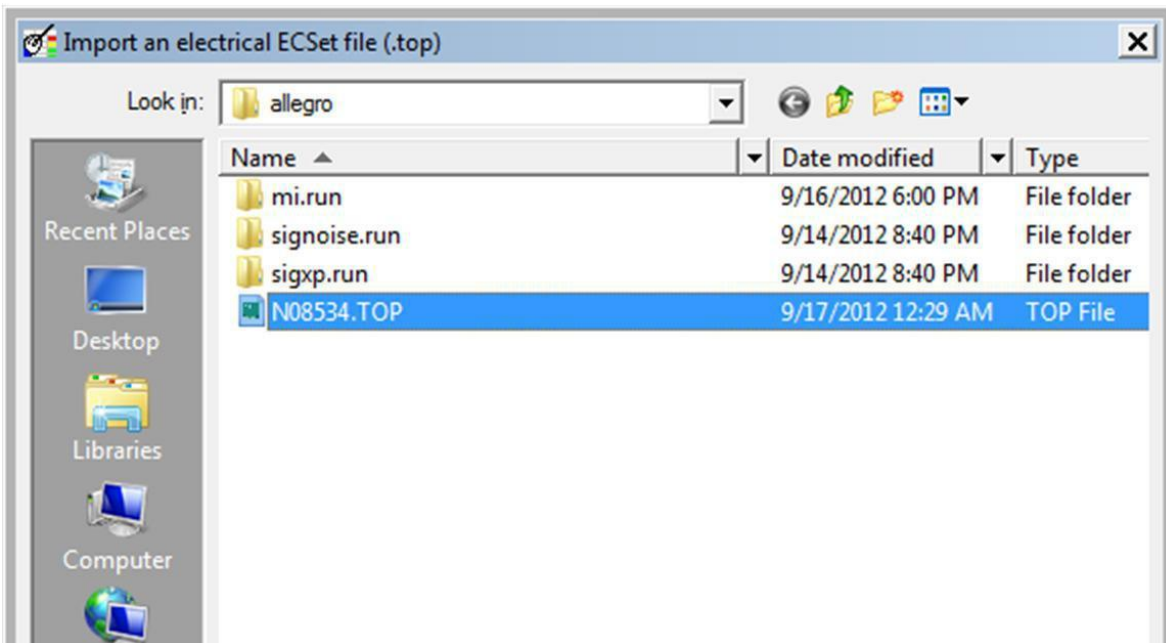
进入次界面以后相信大家就很熟悉下一步该怎么做了，0(n_n)0

反正写了，那就再唠叨一次吧。

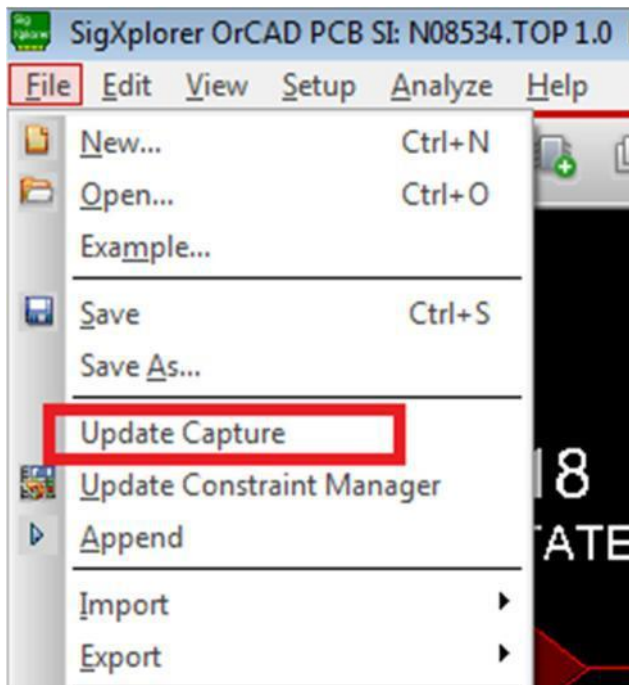
点击 Setup->Constraints，就会看到下面设置规则的界面，



这里我们选择 propagation tab，来指定管脚之间的延时规则。设置完成后点击保存，然后路径下面会自动会产生一个 Top 文件。



点击 File->Update Capture 将规则更新到原理图中去。



这时候打开原理图，双击该 net 后我们会发现多了一个 electrical_constraint_set 的属性。

说明规则已经被更新到原理图中了。

| | |
|---------------------------|---------|
| | V |
| | N08534 |
| Color | Default |
| DIFFERENTIAL PAIR | |
| ELECTRICAL_CONSTRAINT_SET | N08534 |
| Is Global | |
| Line Style | Default |
| Line Width | Default |
| Net ID | 421 |
| Net Name | N08534 |
| VOLTAGE | |

下一步我们出 netlist，将它导入到 PCB 中。打开 PCB，再打开 CM，点击 File->Import->Electrical ECSet，找到刚才保存好的.top 文件导入。这时候我们会发现刚才设置的规则已经被到处到 CM 了。

| Objects | | Pin Pairs | Min Delay | Max Delay |
|---------|-------------|-----------|-----------|-----------|
| Type | Name | | | |
| | all_types | | ns | ns |
| Dsn | all_types | | | |
| ECS | N08534 | | | |
| ECSP | U18.2:U19.7 | | 10 ns | 20 ns |

好了，关于 Schematic Driven Signal Integrity Analysis，就介绍到这里，可能中间具体步骤还不够详细的地方请见谅，如有任何问题和建议请联系我，我的 Email 地址在页脚有。

联系方式:

科通数字技术有限公司

总部：深圳市南山区高新南九道微软科通大厦 8-11 层

产品经理：王其平

手机：18049720018

邮件：QipingWang@comtech.com.cn

地址：上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

华东地区

联系人：陈敏敏

手机：18017922811

邮件：PeterChen@comtech.com.cn

地址：上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

华南及西部地区

联系人：谭波涛

手机：15920086575

邮件：terrytan@comtech.com.cn

地址：深圳市南山区高新南九道微软科通大厦 8-11 层

华北地区

联系人：党建成

手机：18010161381

邮件：SudyDang@comtech.com.cn

地址：北京市海淀区中关村大街 1 号海龙大厦 14 层北区 1418-21