# Cadence 16.6 OrCAD Capture CIS 新功能连载(一)

## **Schematic Driven Signal Integrity Analysis**

16.6 版本出来将近半年了,一直想和大家分享一下 0rCAD 在 16.6 上面的表现。今天终于可以坐下来 说一下了。今天要讨论的是 Capture 非常有用的一个更新,原理图与 SI 分析的完美结合结合。

大家知道,当今对 PCB 设计的周期要求越来越短,信号的频率却在不断的升高,对于高速 PCB 设计中 带来的 SI 问题也越来越关注。所以我们就会想各种方法来解决这一系列问题,既缩短 PCB 设计的周期,又 可以解决 SI 带来的各种问题。很自然的我们就会考虑在原理图阶段就介入 SI 的分析,然后赋予高速信号一 些 PCB 高速设计规则。而我们知道当前的 PCB 工具只能在 PCB 部分才能调用 Signal Explorer 来做这些工 作,现在我们来看看新版本是怎么完成的。

打开 OrCAD Capture, 然后打开任意一个图纸。

一, 为了方便后面用 Signal Explorer 提取 Top 结构,我们必须设置好 IBIS 库路劲(这个和 PCB SI 仿真一样),选择菜单栏中的 SI Analysis->SI Library Setup,

Library Setup (SI Analysis)						×
	芒	×	LM	+	÷	
D:\PARAGC\ORG\PE\RELEASE\16.6\AETRAINING\LAB\DATABASE\SI\ D:\PARAGC\ORG\PE\RELEASE\16.6\AETRAINING\LAB\DATABASE\SI D:\spb166\share\local\pcb\signal D:\spb166\share\pcb\signal	allegr	0				

将存放 IBIS 库路径添加到里面。

二, 点击 SI Analysis->Identify DC Nets Identification, 将所有电源地赋值,

Global NetName	VOLTAGE
+3.3V	3.3V
+5V	5V
-2V	-2V
GND	GND
VCC	vcd
ОК	Cancel Helo

P1/6

**Comtech Digital Technology** 

三,我们需要将一些 Discreat 器件自动的赋上默认模型,点击 SI Analysis-> Auto Assign SI Models

四,在原理图里选择你需要赋模型的器件,右击-Signal Integrity->Assign SI Model

	JUDIT DEVICE M	odel Assignmer	it		SI Library	SI Modei	Model Type
RefDes	No of Pins	Model Nam	Model Type		devices.dml	*	*
J18	8	CY22381	IbisDevice	Assign Model Auto-generate Unassign Model	epcs64.dml sigxp.dml 136101k4b1gxx46d.dml cv22381.dml devices.dml epcs64.dml f26a_18vccq.dml sigxp.dml	CY22381	IbisDevice
1	111		,	Validate Model			

从右边选择相对应的模型,点击 Done,即完成赋模型了。

五,接下来就是提取网络的拓扑结构了,打开需要提取拓扑结构的网络,右击 Signal Integrity -> Explore Signal

	U19	LVπL∞ ZĘ
and the second s	Mirror Horizontally	
	Mirror Vertically	ت <u>مع</u> م <u>ع</u> ×
	Mirror Both	No. 20
- 0 0 **	Rotate	- p v
· · · · · · · · · · · · · · · · · · ·	Edit Properties	***
	Select Entire Net	
	Edit Wire Properties	+3.3V
***************************************	Edit Net Properties	
	Connect to Bus	
	Signal Integrity	

然后软件会自动打开 Signal Explorer,并且打开提取的 Top 结构。我们会发现它会自动识别 xnet。





进入次界面以后相信大家就很熟悉下一步该怎么做了,0(∩\_∩)0

反正写了,那就再唠叨一次吧。

点击 Setup->Constraints, 就会看到下面设置规则的界面,

Max Parallel	Wiring	User-Defined	Signal Integrity	V Usage
Switch-Settle	Prop Delay	Impedance	Rel Prop Delay	Diff Pair
Existing Rule	s			
From	То	Rule-Type	Min-Delay Max-	-Delay
Pins/Tees Name	Usage	Rule Editin	Ng	
ALL DRVRS/RC DRIVER/RECEI	VRS	To:	U18.2 U19.7	
LONGEST/SHOR R17.1	TEST UNSPEC			Add
R17.2 R18.1	UNSPEC UNSPEC	Rule Type:	Delay 🔻	Modify
R18.2	UNSPEC			Delete
U19.7	IN	Min Delay:	5 ns	
U20.7	IN	Max Delay:	10	

这里我们选择 propagation tab,来指定管脚之间的延时规则。设置完成后点击保存,然后路径下面自动会 产生一个 Top 文件。

🎸 Import an ele	ctrical ECSet file (.top)		×
Look in:	길 allegro	🔹 🕝 🤌 🗁 🛄 🗸	
(1.17)	Name 🔺	▼ Date modified ▼ Type	
2	퉬 mi.run	9/16/2012 6:00 PM File fo	older
Recent Places	🍌 signoise.run	9/14/2012 8:40 PM File fo	older
	퉲 sigxp.run	9/14/2012 8:40 PM File fo	older
	N08534.TOP	9/17/2012 12:29 AM TOP I	File
Desktop			
Librarian			
Libraries			
Computer			

点击 File->Update Capture 将规则更新到原理图中去。



这时候打开原理图,双击该 net 后我们会发现多了一个 electrical\_constraint\_set 的属性。

说明规则已经被更新到原理图中了。

N08534       Color     Default       DIFFERENTIAL_PAIR       LECTRICAL_CONSTRAINT_SET     N08534       Is Global     I       Line Style     Default       Line Width     Default       Net ID     421       Net Name     N08534       VOLTAGE		V
ColorDefaultDIFFERENTIAL_PAIRN08534LECTRICAL_CONSTRAINT_SETN08534Is GlobalILine StyleDefaultLine WidthDefaultNet ID421Net NameN08534VOLTAGEI		N08534
DIFFERENTIAL_PAIR LECTRICAL_CONSTRAINT_SET N08534 Is Global I Line Style Default Line Width Default Net ID 421 Net Name N08534 VOLTAGE	Color	Default
LECTRICAL_CONSTRAINT_SET       N08534         Is Global       I         Line Style       Default         Line Width       Default         Net ID       421         Net Name       N08534         VOLTAGE       Image: None state	DIFFERENTIAL PAIR	
Is Global       Line Style       Default       Line Width       Default       Net ID       421       Net Name     N08534       VOLTAGE	LECTRICAL_CONSTRAINT_SET	N08534
Line Style Default Line Width Default Net ID 421 Net Name N08534 VOLTAGE	Is Global	
Line Width Default Net ID 421 Net Name N08534 VOLTAGE	Line Style	Default
Net ID 421 Net Name N08534 VOLTAGE	Line Width	Default
Net Name N08534 VOLTAGE	Net ID	421
VOLTAGE		
	Net Name	N08534
	Net Name VOLTAGE	N08534

下一步我们出 netlist, 将它导入到 PCB 中。打开 PCB, 再打开 CM, 点击

File->Import->Electrical ECSet,找到刚才保存好的.top 文件导入。这时候我们会发现刚才设置的规则已经被到处到 CM 了。

Electrical	all_t	ypes					
Electrical Constraint Set			Objects		Pin Pairs	Min Delay	Max Delay
Signal Integrity	Type	Isl	Name			[ ns	[ ns
Reflection/Edge Distortions	*		*	*		*	*
Tining	Dsn		all_types				
B Switch/Sattle Deleve	ECS		N08534	2			
Routing	ECSP		U18.2:U19.7			10 ns	20 ns
Wiring							
🛄 Vias							
Impedance							
📲 Differential Pair							
Relative Propagation Delay							

好了,关于 Schematic Driven Signal Integrity Analysis,就介绍到这里,可能中间具体步骤还不够详细的 地方请见谅,如有任何问题和建议请联系我,我的 Email 地址在页脚有。

COMTECH科通

## 联系方式:

#### 科通数字技术有限公司

- 总部:深圳市南山区高新南九道微软科通大厦 8-11 层
- 产品经理: 王其平
- 手机: 18049720018
- 邮件: QipingWang@comtech.com.cn
- 地址: 上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

#### 华东地区

- 联系人: 陈敏敏
- 手机: 18017922811
- 邮件: PeterChen@comtech.com.cn
- 地址:上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

#### 华南及西部地区

- 联系人: 谭波涛
- 手机: 15920086575
- 邮件: terrytan@comtech.com.cn
- 地址:深圳市南山区高新南九道微软科通大厦 8-11 层

#### 华北地区

### 联系人: 党建成

- 手机: 18010161381
- 邮件: SudyDang@comtech.com.cn
- 地址:北京市海淀区中关村大街1号海龙大厦14层北区1418-21