

Protel 原理图 PCB 到 Cadence 的数据转换

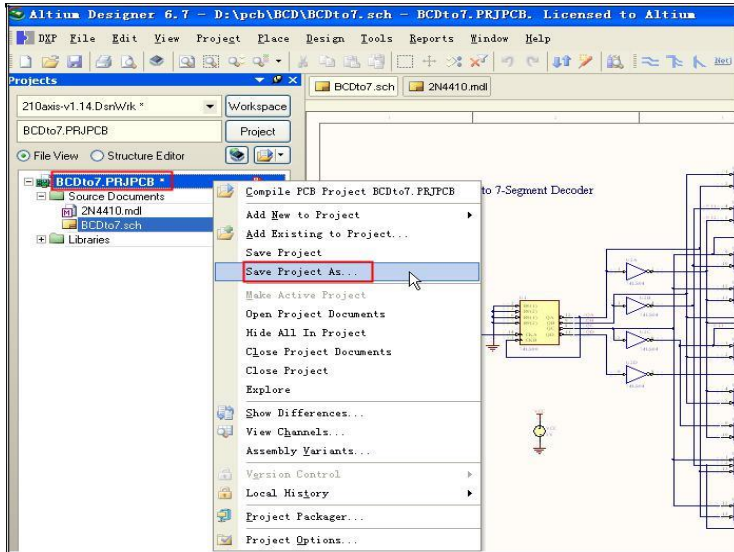
随着 PCB 设计的复杂程度和高速 PCB 设计需求的不断增加，越来越多的 PCB 设计者、设计团队选择 Cadence 的设计平台和工具。但是，由于没有 AD6 数据到 Cadence 数据直接转换工具，长期以来如何将现有的基于 AD6 平台的设计数据转化到 Cadence 平台上来一直是处于平台转化期的设计者所面临的难题。

下面结合 Cadence 和 Altium 的 PCB 设计工具，提供一条比较合理的转换途径。

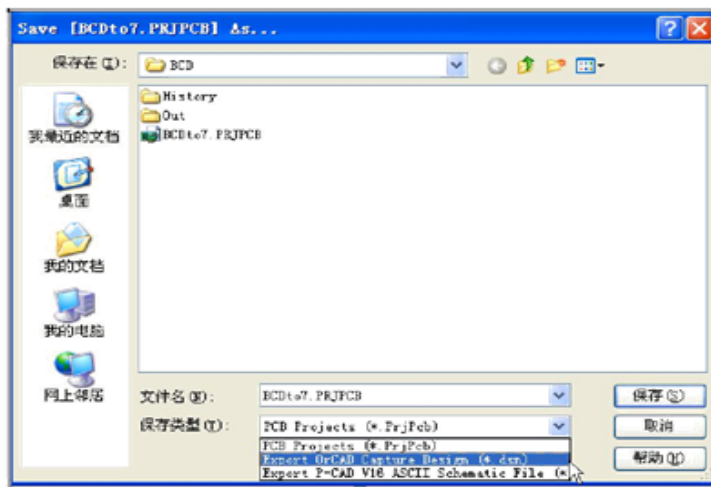
1、环境：转换中使用到的工具

- a) Altium Designer 6
- b) Cadence Capture CIS
- c) Cadence Orcad Layout
- d) Cadence PCB Editor
- e) Cadence PCB Router (CCT)

2、Altium - AD6 原理图到 Cadence - Capture CIS 在 Altium Designer 6 原理图的转化上我们可以利用 Altium Designer 6 的 Save Project As 来实现。通过这一功能我们可以直接将 AD6 的原理图转化到 Capture CIS 中。



然后直接保存为*.dsn 文件。



注意事项:

这里, 我们仅提出几点通过实践总结出来的注意事项。

a) 封装信息

AD6 在输出 Capture DSN 文件的时候, 没有输出封装信息, 在 Capture 中我们会看到所以元件的 PCB Footprint 属性都是空的。这就需要我们手工为元件添加封装信息, 这也是整个转化过程中最耗时的工作。在添加封装信息时要注意保持与 AD6 PCB 设计中的封装一致性, 以及 Cadence 在封装命名上的限制。

例如一个电阻, 在 AD6 中的封装为 AXIAL0.4, 在后面介绍的封装库的转化中, 将被修改为 AXIAL04, 这是由于 Cadence 不允许封装名中出现“.”; 再比如 DB9 接插件的封装在 AD6 中为 DB9RA/F, 将会被改为 DB9RAF。因此我们在 Capture 中给元件添加封装信息时, 要考虑到这些命名的改变。当然, 如果自己有一些标准的 Cadence 的 PCB 封装库, 也可以直接输入对应的封装库名称。只是需要注意的就是在后面要导入器件的位置信息的时候, 需要把 AD6 中的 PCB 封装名称修改为 Cadence 的 PCB 封装名称。当然两个软件中封装库的原点应该是一致的, 否则后面导

3. PCB Editor 时候, 器件不在原来的位置。

给器件添加封装的时候, 可以不用每个器件都添加一次, 可以通过 Capture 的更新属性一次性进行操作。具体操作如下:

点击工程名称, 然后在菜单 tools->Update properties, 在这个属性更新界面里, 需要选择一个自己编辑的 UPD 文件。

UPD 文件格式如下:

```
"<Value>"      "PART NUMBER" "COST"  "VENDOR"  "COMPSIDE" "PCB Footprint"
"74LS00"      "20-12345"    "$1.20" "ABC CO." ""         "DIP14"
"7400"        "20-12345"    "$1.20" "ABC CO." ""         "DIP14"
"74F162"      "20-67890"    "$.90"  "ABC CO." ""         "S016"
".1UF"        "30-10293"    "$.25"  "XYZ INC." "BOTTOM"  "1206S"
```

b) 原始设计要规范

AD6 的原理图应该要规范, 保证导出之后的错误尽可能的少, 譬如, 网络的连线最好不要直接连接到 pin 管脚, 应该来出来一段线之后再去连接其他管脚。还有电源地符号, 最好在 AD6 中引出一段线再接。

c) 管脚信息

一些器件的隐藏管脚或管脚号在转化过程中会丢失, 需要在 Capture 中使用库编辑的方法添加上来。通常易丢失管脚号的器件时电阻电容等离散器件。

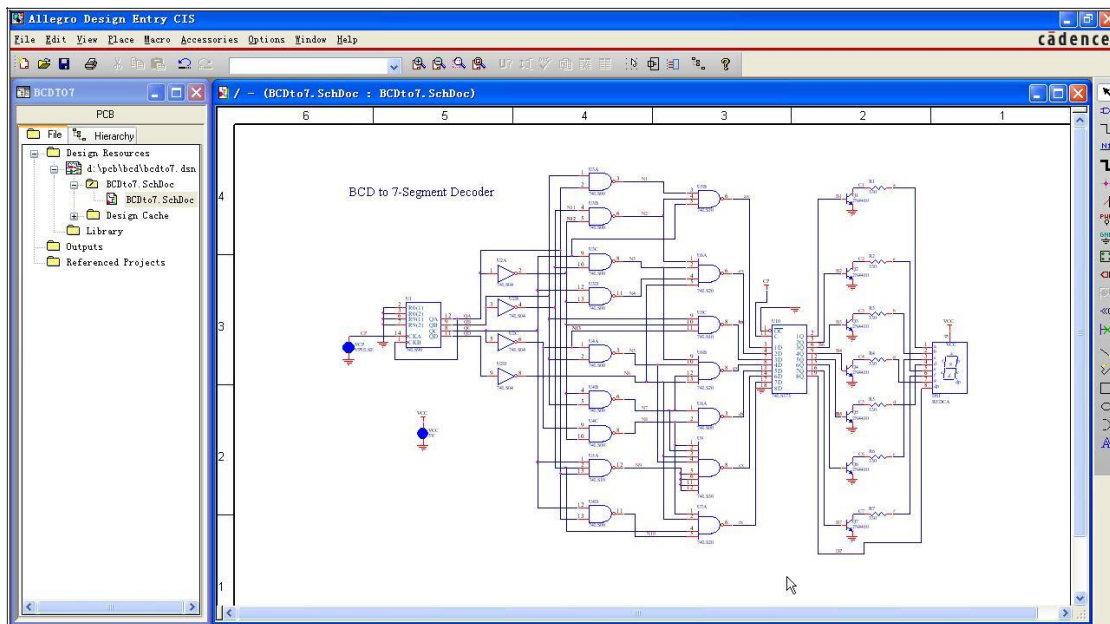
d) 层次化设计中的问题

在层次化设计中，模块之间连接的总线需要在 Capture 中命名。即使在 AD6 中已经在父设计中对这样的总线命名了，还是要在 Capture 中重新来过，以确保连接。

e) 一个封装对应几个部分的器件

对于一个封装中有多个部分的器件，要注意修改其位号。例如一个 741s00，在 AD6 中使用其中的两个门，位号为 U8A，U8B。这样的信息在转化中会丢失，需要重新添加。基本上注意到上述几点，借助 AD6，我们就可以将 AD6 的原理图转化到 Capture 中。进一步推广，这也为现有的 AD6 原理图符号库转化到 Capture 提供了一个途径。

导入 Capture CIS 之后的效果：



总之，我们在转换完成之后还需要检查一下，尽可能满足 CIS 的原理图设计要求。

3、Altium - AD6 的 PCB 封装库到 Cadence - PCB Editor 的转换

长期使用 Protel 作 PCB 设计，我们总会积累一个庞大的经过实践检验的 Protel 封装库，当设计平台转换时，如何保留这个封装库总是令人头痛。这里，我们将使用 Orcad Layout，和 PCB Editor 来完成这项工作。在这里，我推荐大家使用一个免费的库制作工具：Allegro 封装生成器 0.08 (FPM)，这个软件在 www.pcbbs.com 上可以去下载。这个免费软件可以生成几千个 Allegro 的封装库，满足我们大部分的需要，而且这个软件还有一个优点，它的封装库命名，都是按照国际标准-IPC 7531 标准命名，我们任何一个 PCB 设计软件，都可以参考这个命名标准。所以，我们需要转换的库只是少部分了，只有那些形状异样的，需要我们从 AD6 转换到 PCB Editor。

注意点：Allegro 的建库，还需要建焊盘，所以工作量稍大。但有一点，繁琐的工作，是为我们的设计更严谨，不那么随意。

下图的虚线框中是 Allegro 封装库的一些内容：

Flash 是用在负片时候，过孔（当然包括通孔焊盘）与平面连接的形状，后缀名：*. fsm 和*. dra。

Shape 是做异型焊盘用的，后缀名：*. ssm 和*. dra。

上面两项是为了做一个焊盘。

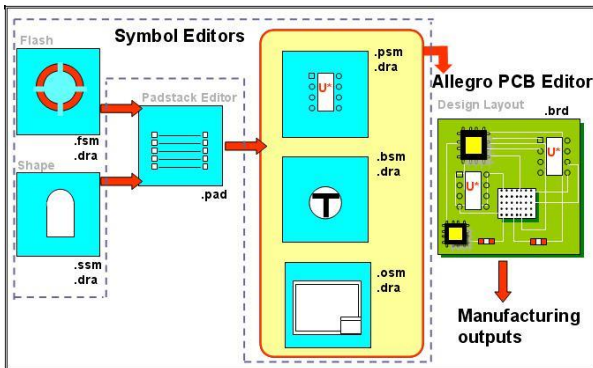
通过 Cadence 的 Cadence SPB 16.0->PCB Editor Utilities-> pad designer 来设计一个*. pad。

有了 pad 文件，我们才可以去创建我们的封装。

. psm 和. dra 这是器件封装的后缀名。

. bsm 和. dra 这是 Mechanical 封装的后缀名。

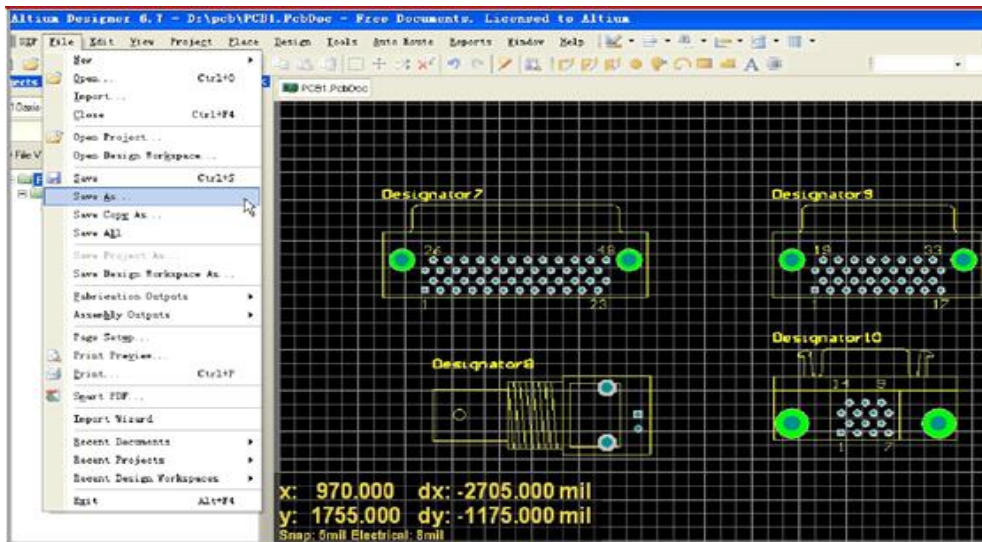
. osm 和. dra 这是图框符号的后缀名。



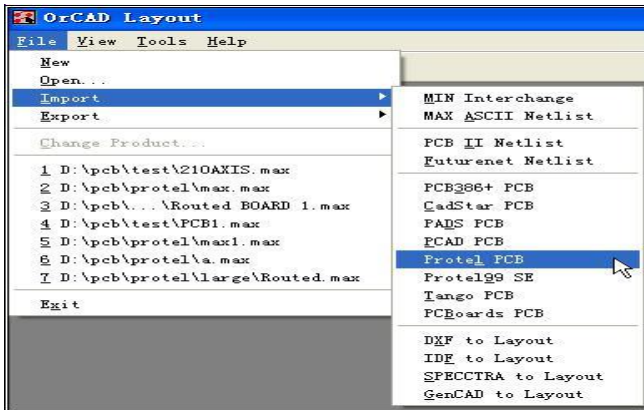
在这里，把 Cadence 的封装介绍的详细点，主要是因为做设计，我们的库一定要标准，这样才能完成一个好的 PCB。

AD6 to PCB Editor 的封装转换步骤：

a) 在 AD6 中将 PCB 封装放置（可以一次将所有需要转换的全部放置上来）到一张空的 PCB 中，并将这个 PCB 文件用 Protel PCB 2.8 ASCII 的格式导出，File->Save As;



b) 使用 Cadence 的 Orcad Layout 软件，导入 (import) 这个 Protel PCB 2.8 ASCII 文件并保存 (.max)；



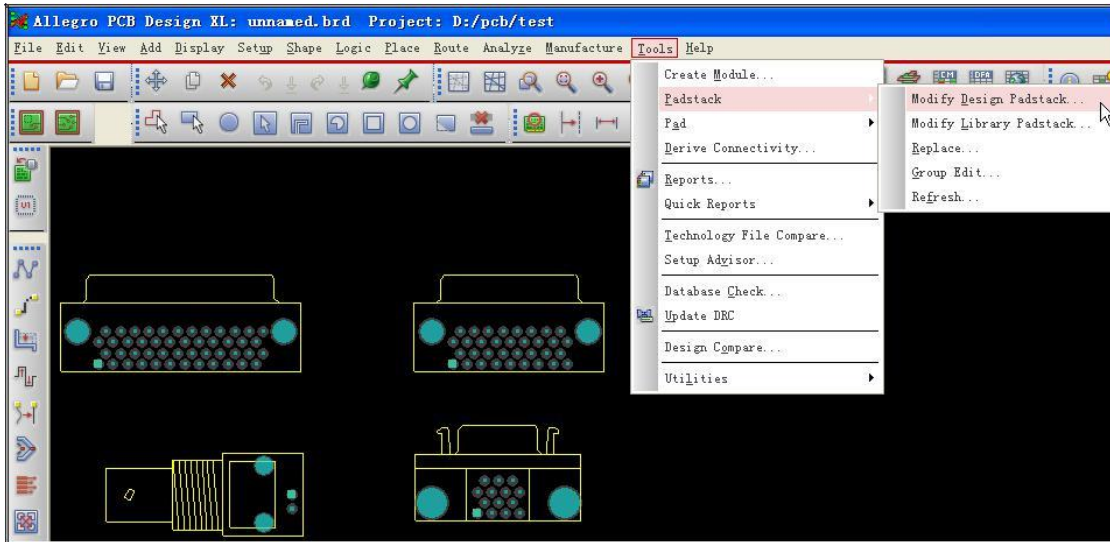
Import->Protel PCB, 选择我们刚才导出的 PCB 文件：



c) 使用 Cadence 的 PCB Editor 将生成的 Layout .max 文件 import 为 Allegro 的 .brd 文件；



d) 在 PCB Editor 里，把新生成的.brd 文件打开，选择顶层菜单的 Tools>Padstack>Modify Design Padstack，此时会在 Options 标签页里面看见当前 pad 的名称和数量（从 24.pad 开始逐一增加）。逐一选择一种，点选”Edit”，激活 Padstack Designer 对选中的.pad 进行编辑。



e) 对于表贴 pad，首先查看 Layers 标签页，检查此 Pad 是否已经存在库中或可以用库中已经存在的 .pad 替换，用 Tools->Padstack->Replace 命令去替换焊盘。如果没有，那么就需要修改：

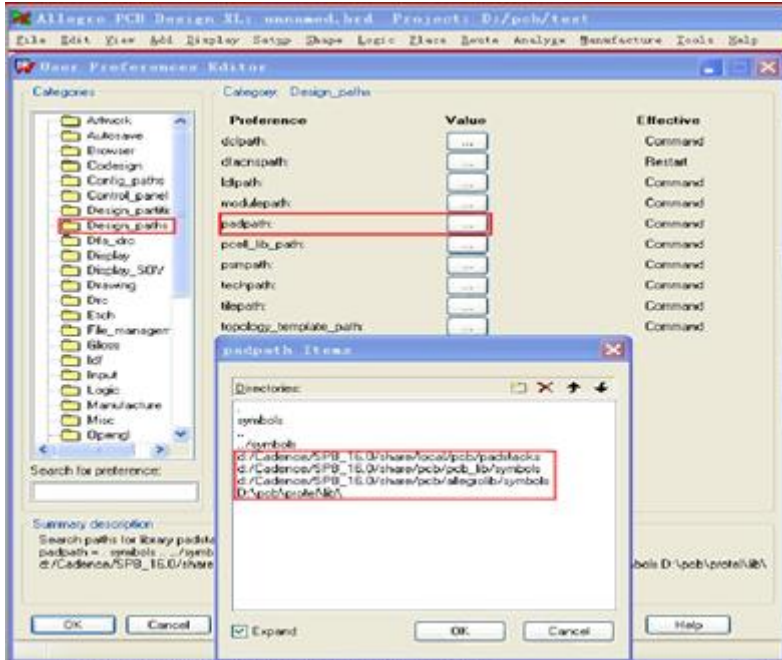
- ① Parameters 标签页中 Type 选项由” Blind/Buried” 改为” Single 项”；
- ② Unit 部份：Units 选择 Mils, Decimal places 输入 0，表示使用单位为 mil，

小数点后没有小数，即为整数；

③ Layers 标签页中，删除 Top~Bottom 之间除 Default Internal 层之外其他的所有层；调整顶层的 Regular Pad、Thermal Relief(比 Regular Pad 大 6Mil)、Anti Pad(比 Regular Pad 大 6Mil)；Soldermask_Top 层的 Regular Pad (比 Top 层 Regular Pad 大 6Mil)；Pastemask_Top 层的 Regular Pad

(同 Top 层 Regular Pad)，确认其他不用层的数据为” Null”；(对于表贴 pad，只需要设置 Top、Soldermask_Top 和 Pastermask_Top 三层即可)

④ 按照 .pad 文件的命名格式对新建立的这个 pad 进行保存，保存在环境变量里设置的 allegro 识别的路径内。Setup->User Preferences；



⑤ 选择顶层菜单的 Tools> Padstack>Replace，点选刚刚修改的 Pad，此时在 Options 标签页的

Old 选项里面会出现未改之前的 Pad 名称；再点击 New 选项后面的按钮，选择新建立的 Pad，最后点击下方的 Replace 按钮，完成对此 Pad 的更新。

对于过孔的 pad，首先查看 Layers 标签页，检查此 Pad 是否已经存在库中或可以用库中已经存在的 .pad 替换，用 Tools->Padstack->Replace 命令去替换焊盘。如果没有，那么就需要修改：

① 确认 Parameters 标签页中 Type 选项为” Through”（或者定义为” Blind/Buried” 视设计需要而定）；

- Unit 部份：Units 选择 Mils，Decimal places 输入 0，表示使用单位为 mil，小数点后没有小数，即为整数；

③ Layers 标签页中，删除 Top~Bottom 之间除 Default Internal 层之外其他的所有层；调整顶层的 Regular Pad、Thermal Relief（比 Regular Pad 大 10Mil）、Anti Pad（比 Regular Pad 大 10Mil）；

制 Top 层信息并且 Copy to all，即可设定 Top、Default Internal 和 Bottom 这 3 层；调整 Soldermask_Top 层的 Regular Pad（比 Top 层 Regular Pad 大 6Mil）并复制到 Soldermask_Bottom 层；（对于过孔 pad，不需要设置 Pastermask_Top 层）

④ 按照 .pad 文件的命名格式对新建立的这个 pad 进行保存，保存在环境变量里面设置的 allegro 识别的路径内；

⑤ 选择顶层菜单的 Tools> Padstack>Replace，点选刚刚修改的 Pad，此时在 Options 标签页的 Old 选项里面会出现未改之前的 Pad 名称；再点击 New 选项后面的按钮，选择新建立的 Pad，最后点击下方的 Replace 按钮，完成对此 Pad 的更新。

f) 按照上面（e）项的方式将所有 pad 替换完成；

注：由于 PCB Editor 每生成一次库文件的时候，其 .pad 文件的名称都是从 24.pad 开始依次增加直至所有的 pad 输出完毕。如果进行 2 次或多次库文件生成操作，后面的操作产生的 .pad 文件（从 24.pad 开始的）会覆盖前面的 .pad 文件从而导致在调用前面生成的库文件 .dra 时出现焊盘被更换的情况，所以在导出之后需要从 .dra 文件中重新建立 .pad 文件并将 .dra 中的 pad 用新生成的 .pad 文件 replace 才能保证库的正确使用！在这里我建议大家还是安装 IPC 标准为我们的焊盘命名，保证各个 EDA 工具统一，也保证我们设计团队的统一。

g) 接下来，我们使用 PCB Editor 的 Export->libraries 功能将封装库*.dra、*.psm 等，焊盘库*.pad 输出出来，再经过 h) 操作，将 ref 等加上就完成了 AD6 封装库到 PCB Editor 转化；

h) AD6 中的 "Designator" 转换为 PCB Editor 里 Components 下 Ref Des 的 Silkscreen_Top 和 Display_Top 这 2 层；"Comment" 转换为 Geometry 下 Part Geometry 的 Silkscreen_Top 和 Display_Top 这 2

。此时将 2 个 "Designator" 与 2 个 "Comment" 删除（如果没有，不关注它），并在 Ref Des 的 Silkscreen_Top 层添加"REF"，在 Device Type 的 Silkscreen_Top 层添加"DEV"；

重点说明：位号 REF 必须是手动添加，软件转换的时候，这个属性丢失。

i) File>Save as 按照元器件命名规则生成*.dra 文件并保存至 allegro 元件库目录下；

j) File>Create Symbol 生成*.psm 文件并保存至*.dra 的同一目录下。

至此 AD6 元器件导入 PCB Editor 的过程全部结束，在 PCB Editor 里面可以对新生成的库文件进行调用。在 PCB Editor 中通过*.pad 文件组织*.dra 文件，通过*.dra 文件生成*.psm 等文件后才能对元器件进行调用，所以在元件的使用过程中要注意各个部分的对应关系避免出现*.pad 的错误调用等不匹配现象的发生。

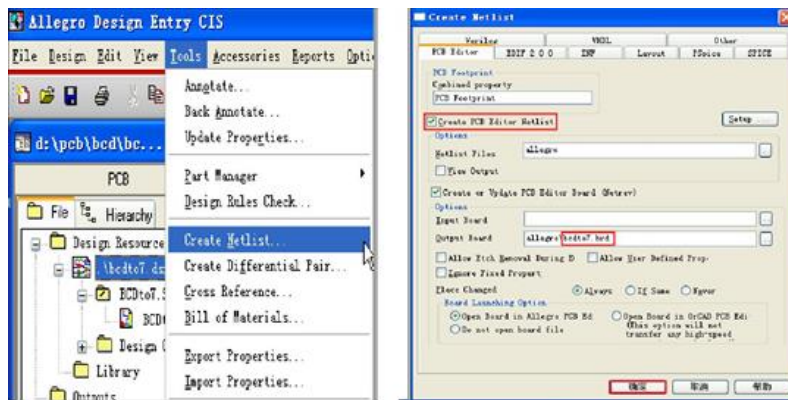
注意：库转换过程中，器件的原点不要去修改，如果修改，后面导入位置信息的时候，器件就会不在原来的位置。

4、AD6 的 PCB 设计文件到 PCB Editor 中的转换

有了前面两步转换原理图和 PCB 封装库，我们可以进行 AD6 到 PCB Editor 的 PCB 转换了。这个转化过程更确切的说是一个设计重现过程，我们将在 PCB Editor 中重现 AD6 的 PCB 的布局和布线。当然前面说过了可以从 AD6 另存为 Protel PCB 2.8 ASCII 的格式的 PCB，然后从 ORCAD Layout 中 Import 这个 PCB，save 成一个*.max 文件，再从 PCB Editor 中 Import 生成的*.max，存成一个*.brd 文件。但这种方法转换的 PCB 不能和原理图(CIS 原理图)同步，所以意义不是很大。

1 传网表

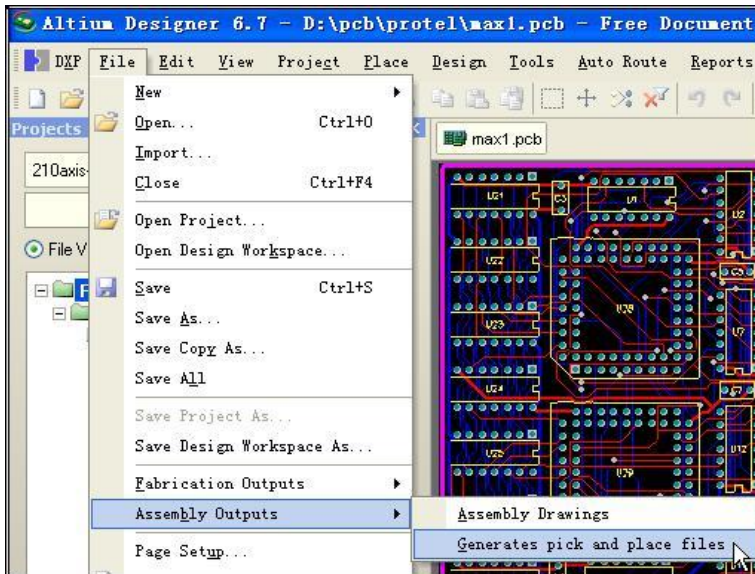
把转换好的原理图（添加了封装信息之后的原理图），生成 PCB Editor 格式的网表传递到*.brd 文件中。



这个过程主要是把我们的封装信息和网络信息以网表的形式传递给 PCB 软件。生成一个 brd 文件。

重现布局 第一种方式

在 AD6 中输出 Place & Pick 文件，这个文件中包含了完整的器件位置，旋转角度和放置层的信息。输出格式用 text 格式，单位用 imperial；



输出生成的 Pick Place for xxx.txt 文件，把有用的信息提取，生成一个 cadence 的 PCB Editor 软件认识的位置信息文件（如：place_txt.txt）；

| UNITS = MILS | x轴 | y轴 | 旋转角度 | 封装名称 |
|--------------|----------|----------|------|-----------------------|
| XS18 位号 | 207.09 | 4597.05 | 0 | MJ8-0204SR-BY |
| XS22 | 207.09 | 2497.83 | 0 | MJ8-0204SR-BY |
| V15 | 12725.00 | 1625.00 | 270 | SD2-170-103 |
| D34 | 6250.00 | 3700.00 | 0 | BGA480-127-2929 |
| D17 | 1750.00 | 5825.00 | 0 | PLCC32-50R |
| D38 | 8250.00 | 3050.00 | 0 | SOP8-50-150 |
| D13 | 9175.00 | 7225.00 | 90 | DIP8-100-310 |
| U2 | 5775.00 | 11775.00 | 180 | SPW6-TYCO-AXH010A0-SR |
| C438 | 1350.00 | 7925.00 | 180 | m SC0402 |
| C239 | 11450.00 | 9425.00 | 0 | m SC0402 bottom层 |
| C122 | 11450.00 | 11500.00 | 0 | m SC0402 |
| C232 | 11450.00 | 9675.00 | 0 | m SC0402 |

其中位号、X 轴、Y 轴、旋转角度、器件放置是 top 层还是 bottom 层，都可以从 AD6 输出的文件 Pick Place for xxx.txt 中提取，器件放在 top 不需要添加信息，放 bottom 层需要添加“m”。这些操作都可以通过 UltraEdit 来进行。封装名称由于 AD6 和 PCB Editor 中命名不同，我们可以通过批

量替换的方式去替换，这个需要我们建立一张封装对应表格。

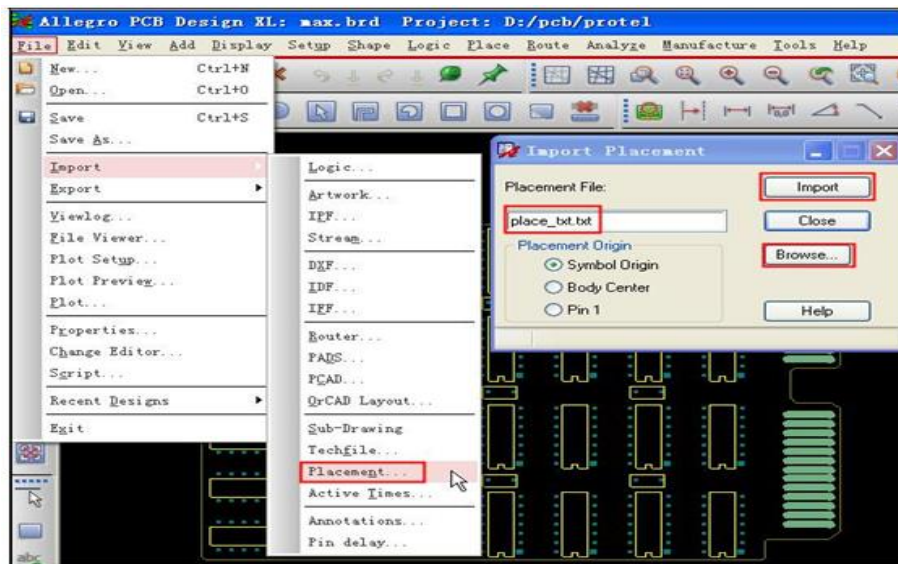
在这里，我用一个批量替换的软件，可以来做这个批量替换的工作。节省我们修改封装名称的时间。



我们通过修改，生成成为 PCB Editor 能读入的 Place_txt.txt 文件（位置信息文件）。刚才从 CIS 导入网表后，生成的 brd 文件中，导入这个 Place_txt.txt 文件，我们就可以得到布局了。这步导入的时候，必须保证库是正确的。

注意：这里需要保证我们的 AD6 中和 PCB Editor 中的库坐标原点是一致的。

在 PCB Editor 中导入位置信息文件 Place_txt.txt。会把器件摆放到相对应的位置。



导入后，器件会自动摆放到相应的和 AD6 对应的位置。至于板卡的外框，可以通过 AD6 输

DXF 格式，在 PCB Editor 中导入 DXF，来直接引用，也可以重新画。保存为一个 brd 文件，如：
max. brd。

第二种方式

这种方式要建立在你能顺利把 PCB 文件转换到 PCB Editor 中。

1. 在 ad6.8 里打开一个 PCB 图后点文件- 另存为-protel pcb 2.8 ASCII 文件
2. 点开始--所有程序---cadence spb16.0---Layout plus 启动 ORCAD16.0
3. 在 orcad16.0 点 File---Import---protel pcb 打开的对话框里的 Input protel pcb 后面点 Browse 找到刚才在 Protel 里输出的文件点确定

就会在你输出 protel pcb 2.8 ascll 的文件目录下生成一个相应 MAX 文件

4. 启动 SPB16.0 PCB Editor

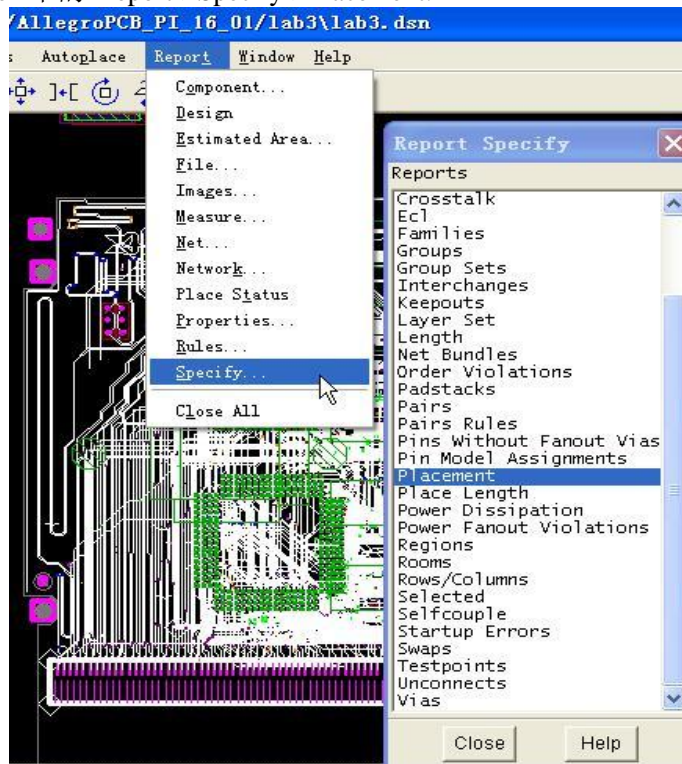
点 File---Import----orcad layout---找到刚才 MAX 文件

5. 输出坐标文件，上面这些步骤，主要是得到我们的布局位置信息，也就是器件的坐标文件 Place_txt.txt，得到这个文件之后，还是要象第一种方式一样，要去替换相应封装。

第三种方式

在看重现布线章节。从 AD6 中输出 DSN，PCB Router 导入板卡。

在 PCB Router 中的 Report->Specify->Placement:



得到:

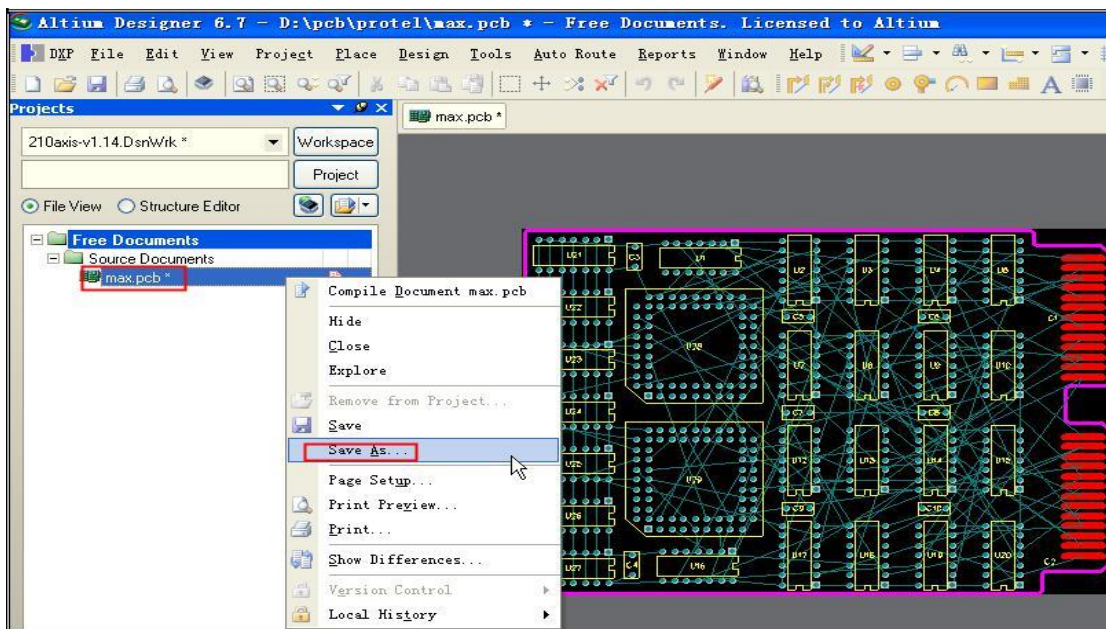
| Ref Des | X | Y | Side | Rotate | Pins | Wires | Length | Avg. Length |
|--------------------|-----------|-----------|-------|--------|------|-------|----------|-------------|
| cct_misc_119870784 | 4097.9016 | 4688.9803 | Front | 0 | 1 | 0 | 0.000 | 0.000 |
| cct_misc_119870864 | 2151.9016 | 4688.9803 | Front | 0 | 1 | 0 | 0.000 | 0.000 |
| cct_misc_119977072 | 6055.0000 | 1520.0000 | Back | 0 | 1 | 0 | 0.000 | 0.000 |
| cct_misc_119977848 | 5775.0000 | 4515.0000 | Back | 0 | 1 | 0 | 0.000 | 0.000 |
| cct_misc_119981288 | 195.0000 | 1515.0000 | Back | 0 | 1 | 0 | 0.000 | 0.000 |
| cct_misc_121852192 | 6050.0000 | 4080.6811 | Front | 0 | 1 | 0 | 0.000 | 0.000 |
| cct_misc_121852312 | 200.0000 | 4080.6811 | Front | 0 | 1 | 0 | 0.000 | 0.000 |
| cct_misc_121852432 | 6070.0984 | 4434.9803 | Front | 0 | 1 | 0 | 0.000 | 0.000 |
| cct_misc_121852552 | 179.9016 | 4434.9803 | Front | 0 | 1 | 0 | 0.000 | 0.000 |
| cct_misc_121852672 | 6050.0000 | 1270.0787 | Front | 0 | 1 | 0 | 0.000 | 0.000 |
| cct_misc_121852792 | 200.0000 | 1270.0787 | Front | 0 | 1 | 0 | 0.000 | 0.000 |
| D0901 | -626.5867 | -420.4965 | Front | 0 | 3 | 3 | 0.000 | 0.000 |
| D0902 | -626.5867 | -420.4963 | Front | 0 | 3 | 4 | 8092.713 | 2023.178 |
| DLO702 | 695.0000 | 3575.0000 | Front | 180 | 3 | 4 | 8242.520 | 2060.630 |
| DLO703 | 805.0000 | 3575.0000 | Front | 180 | 3 | 4 | 8080.000 | 2020.000 |
| FIL0201 | -626.5867 | -420.4841 | Front | 0 | 3 | 3 | 8152.701 | 2717.567 |
| FIL0501 | -626.5867 | -540.4991 | Front | 0 | 2 | 2 | 7290.006 | 3645.003 |
| FIL0502 | -626.5867 | -540.4989 | Front | 0 | 2 | 2 | 6002.683 | 3001.341 |
| FIL0601 | -626.5867 | -540.4987 | Front | 0 | 2 | 2 | 5833.312 | 2916.656 |
| FIL0602 | -626.5867 | -540.4985 | Front | 0 | 2 | 2 | 4511.541 | 2255.770 |

把这个文件修改成符合 Place_txt.txt 文件格式的文本文件，然后在 PCB Editor 导入 Place_txt.txt，完成 PCB 的布局。

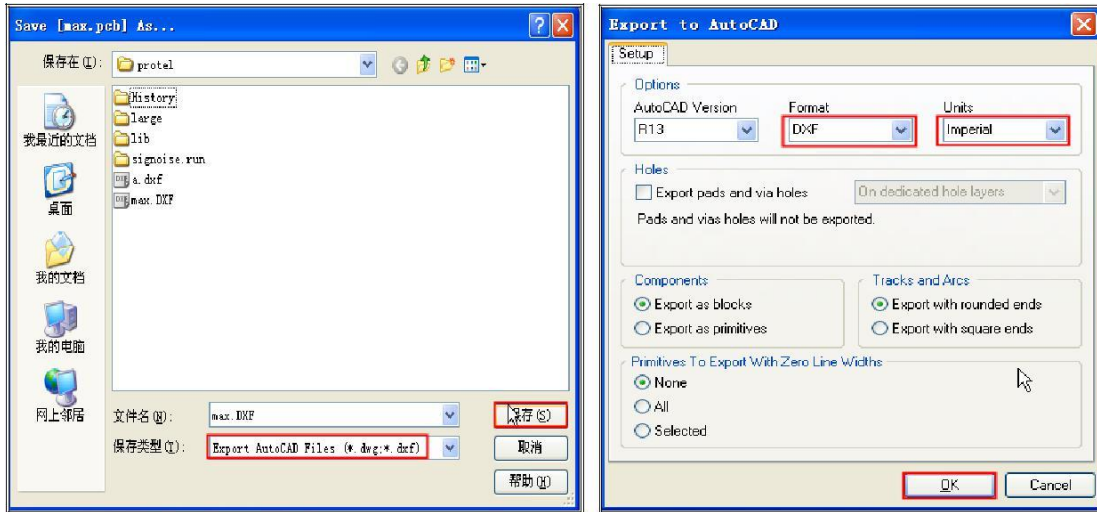
注意：这里需要保证我们的 AD6 中和 PCB Editor 中的库坐标原点是一致的。

导入 AD6 板卡的外框--通过 DXF 文件

AD6 软件中，我们打开 PCB，save as 我们的 PCB 文件



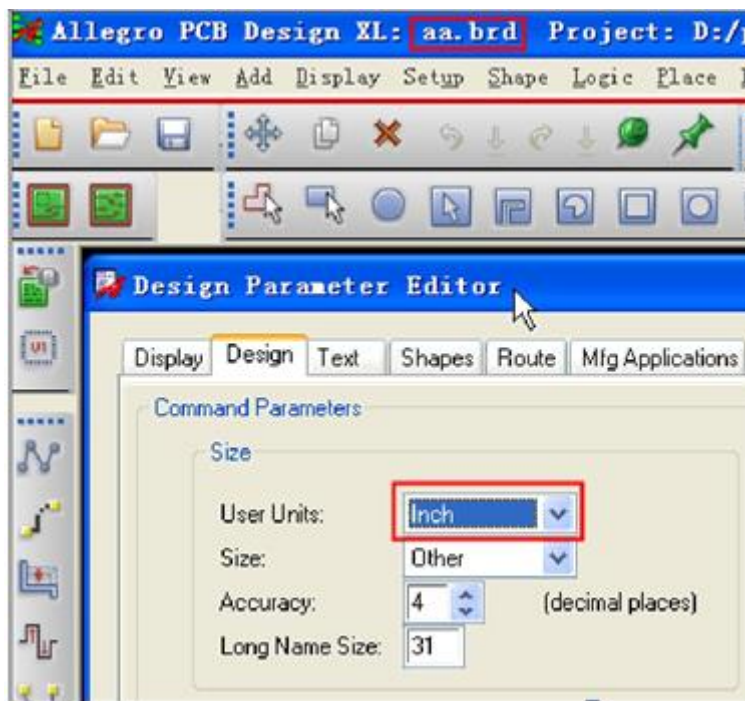
保存为 DXF 文件。



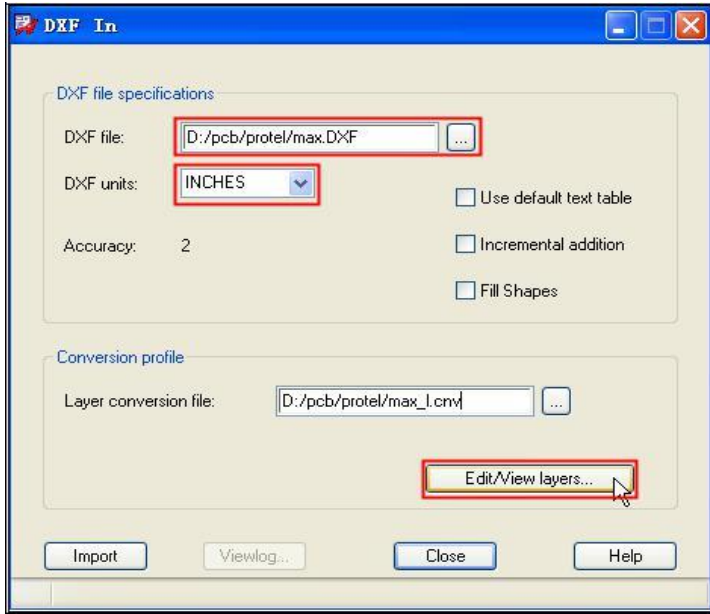
注意：存成 DXF 格式，然后单位一定要是 Imperial，如果是存成米为单位，在 PCB Editor 中，没有对应的尺寸，到时候不好转换。

在 PCB Editor 中，我们导入 DXF 文件之前，我们需要设计参数。

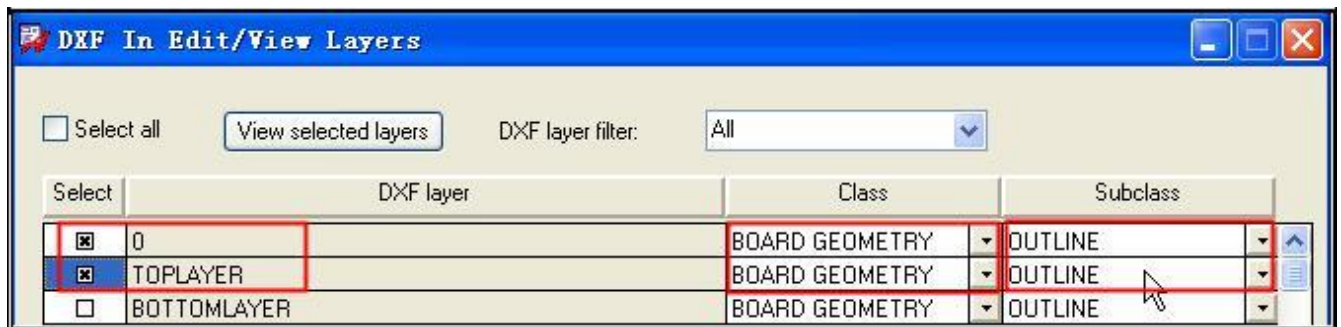
新建一个 brd 文件，这个时候设置参数：主要是与 AD6 输出的时候单位一致。



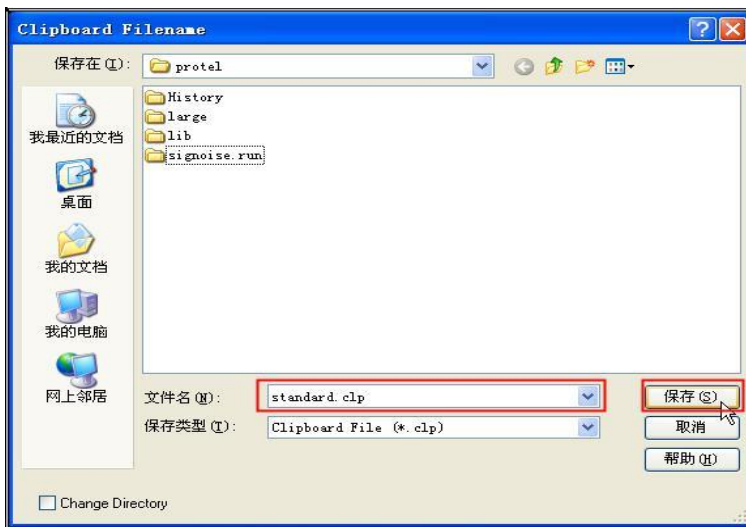
PCB Editor 中，file->import->dxfl:
在注意尺寸是 INCH，导入 AD6 输出的 DXF 文件，编辑层对应。



选择我们需要的外框对应的层，与 PCB Editor 中的层去对应。对应到 board geometry 的 outline。



导入后，接着输出 sub-drawing。在 file->export->sub-drawing，然后，用鼠标框选我们需要的外框，输入原点坐标，比如输入：x 0 0。也可以直接点击板卡的左下角，确定原点坐标，弹出一个对话框，存好 sub-drawing 文件。



重新打开开始我们存好的 max.brd 文件。

导入有外框的 sub-drawing 文件。

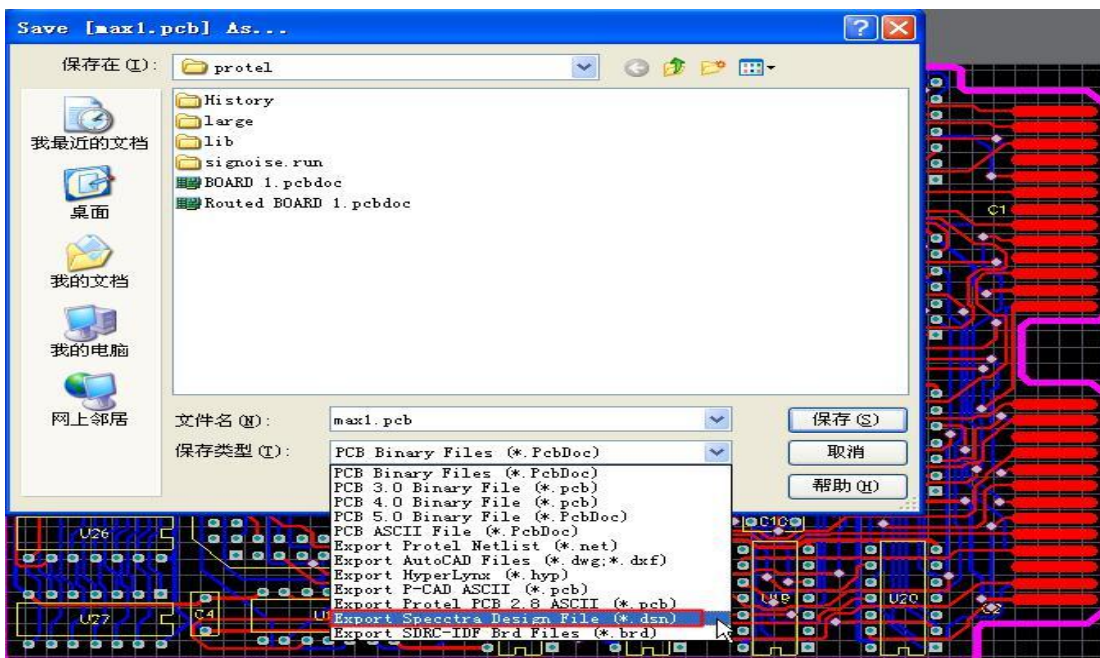
File->import->sub-drawing, 导入刚才存的 standard.clp 文件。

这时候, 外框就导入到我们的 brd 文件中, 把外框放置与 AD6 文件一致的位置。

3 重现布线

布线信息的恢复, 要使用 PCB Router(CCT)作为桥梁。首先, 从 AD6 中输出包含布线信息的 PCB Router(CCT) DSN 文件。

AD6 中 File->Save as 存成一个 Specetra Design File (*.dsn) 文件。

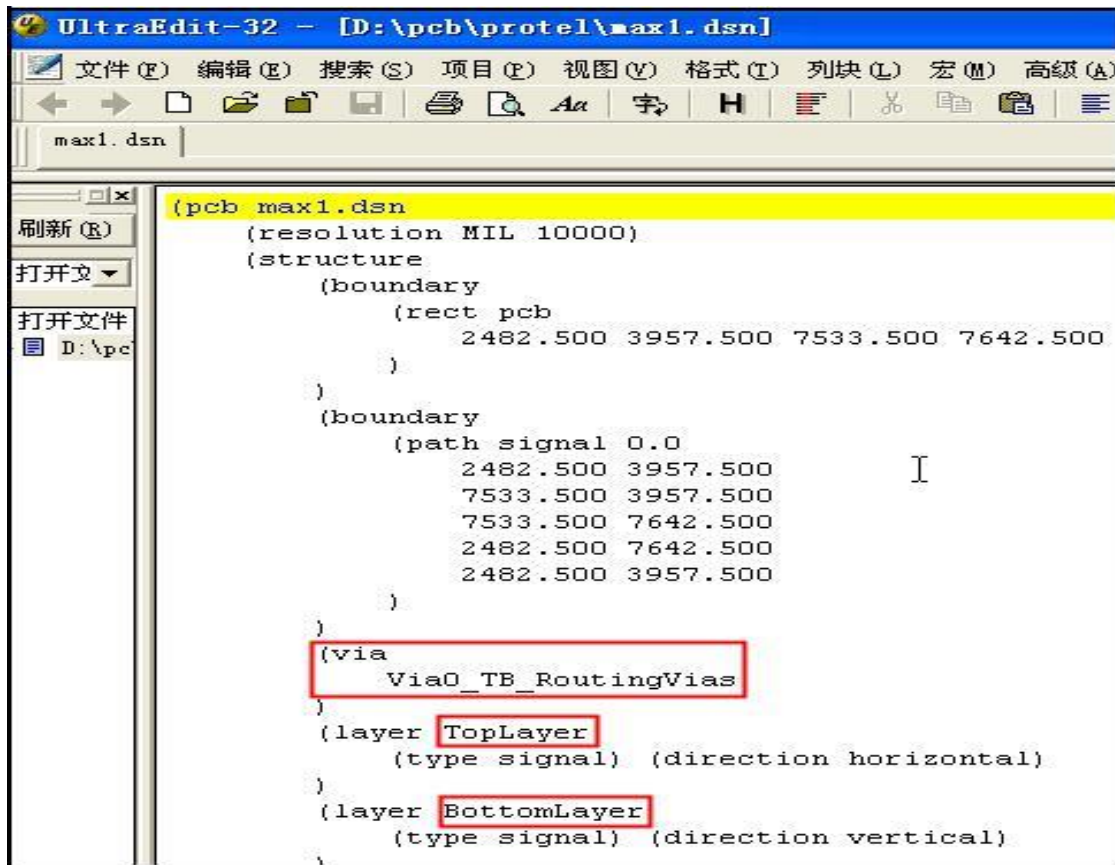


对于这个 DSN 文件我们要注意以下 2 点:

a) AD6 中的层命名与 Allegro 中有所区别, 要注意使用文本编辑器(UltraEdit)作适当的批量替换, 例如 AD6 中顶层底层分别为 **Toplayer** 和 **Bottomlayer**, 而在 Allegro 中这两层曾称为 **TOP**

和 **BOTTOM**; 当然其他布线层也要和 brd 中的层名称对应。

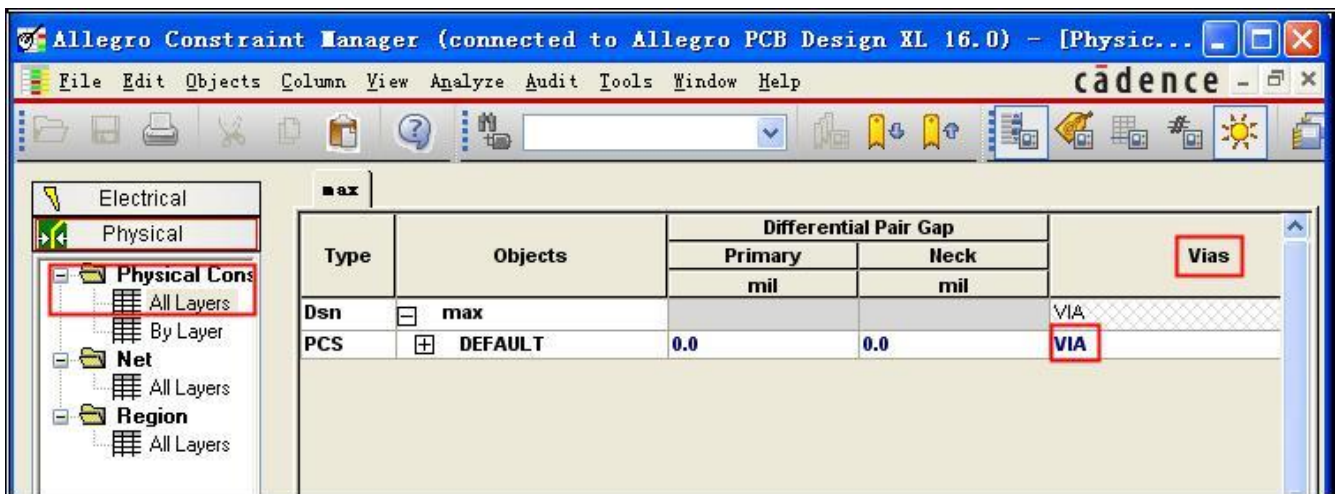
b) 注意在*.dsn 文件中查看**过孔**的定义, 并添加到 Allegro 的规则中。



这里的 Via0_TB_RoutingVias 需要替换为 PCB Editor 中对应的过孔名称，如下面例子：VIA。

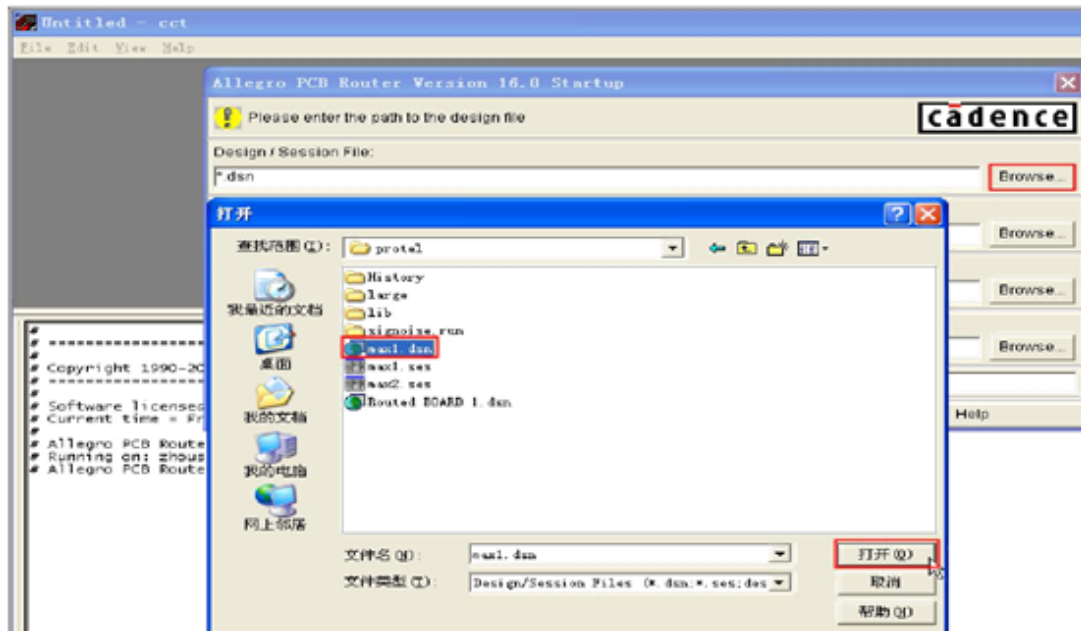
PCB Editor 中设置过孔类型：

Setup->Constraints->Constraint manager, 在 Physical 项中；

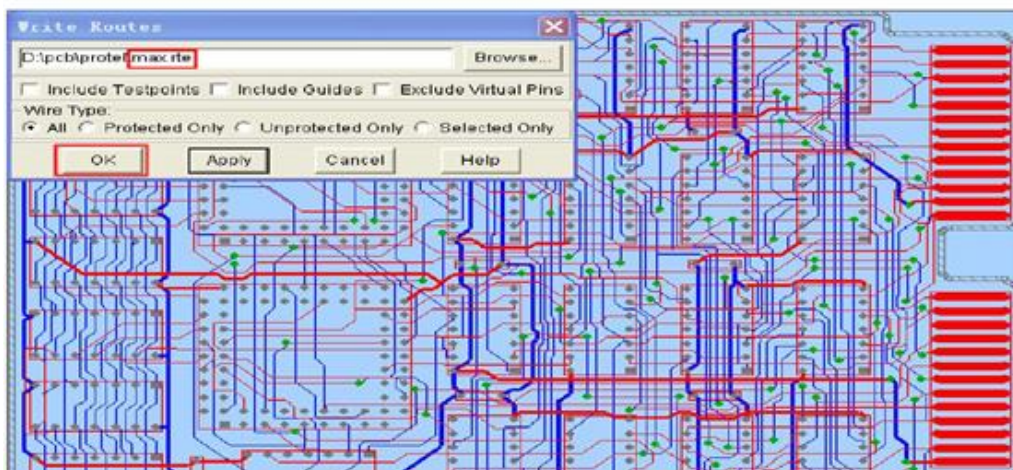
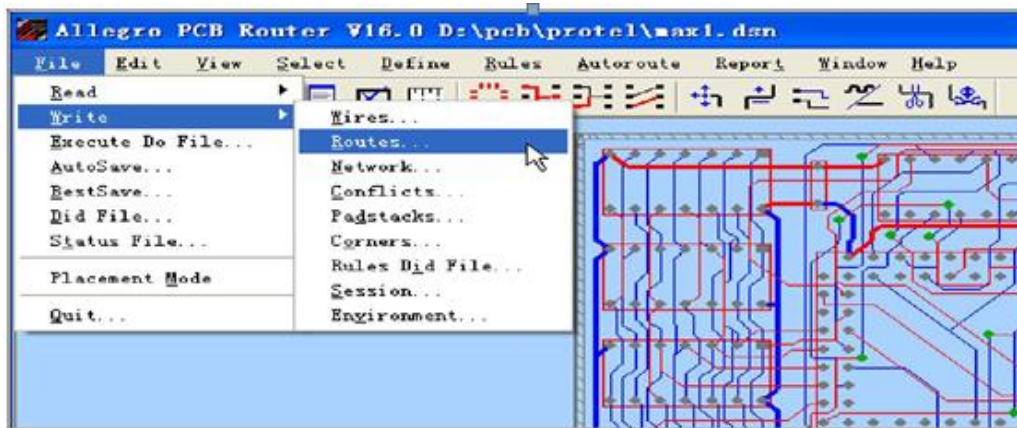


这两点关系到后面的 brd 文件是否能导入布线文件，很关键。

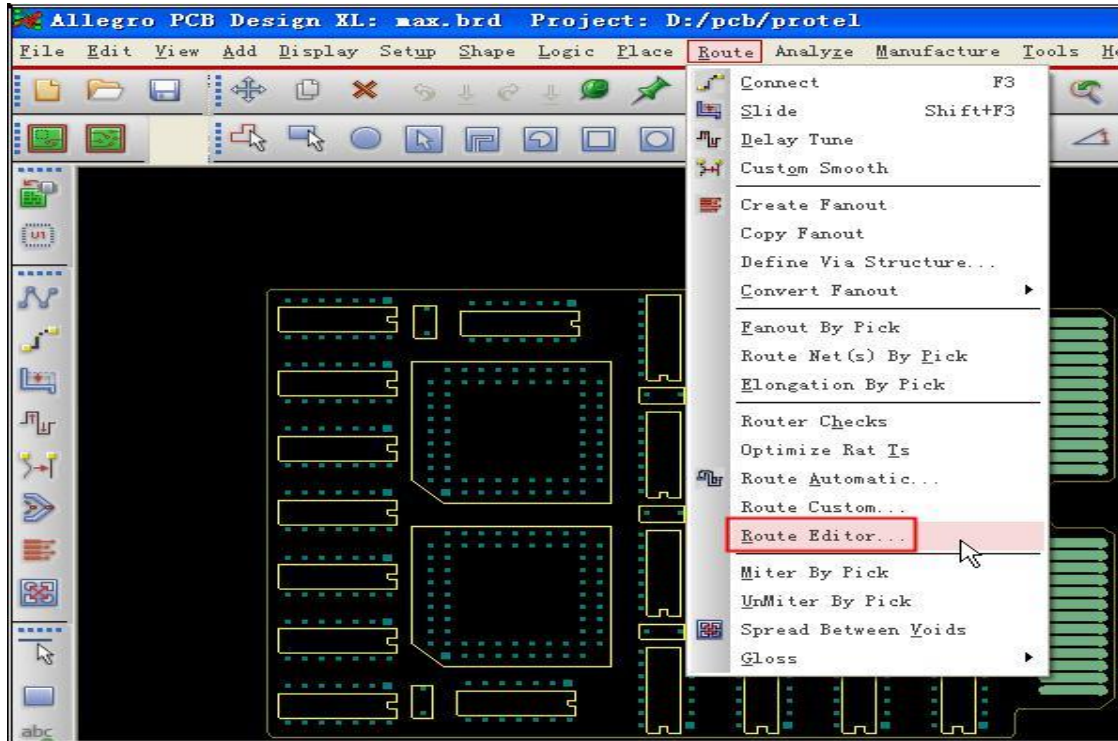
打开 Cadence 的 PCB Router 软件，导入*.dsn 文件；



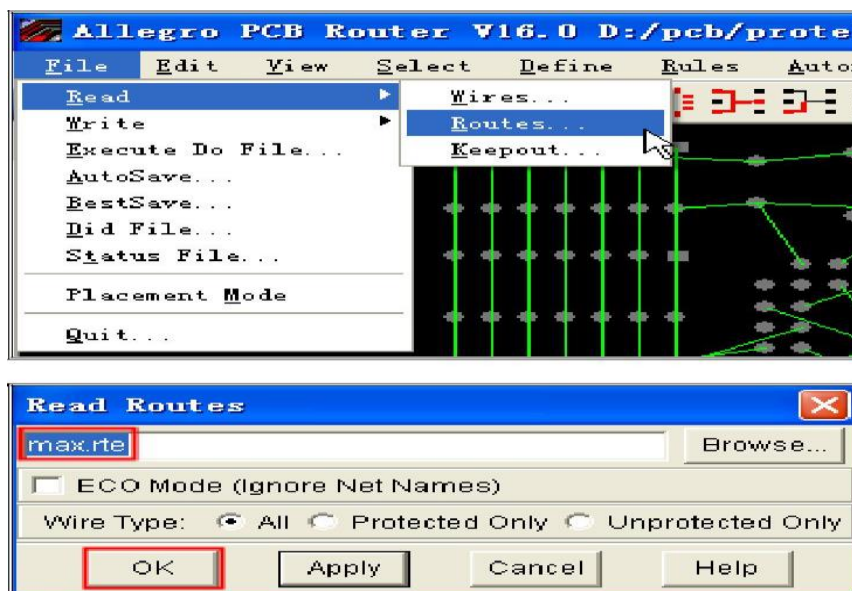
打开 DSN 文件，我们看到布线好的 pcb，输出布线文件，如：max.rte。



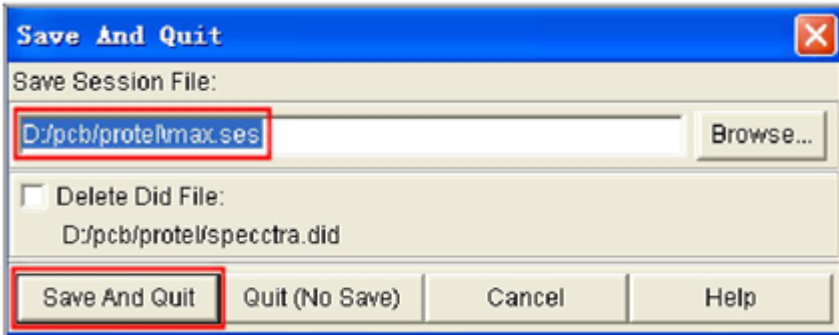
打开 PCB Editor 软件，打开刚才前面布局好的 **max.brd** 文件。从 PCB Editor 中，进入 PCB Router (cct) 软件。



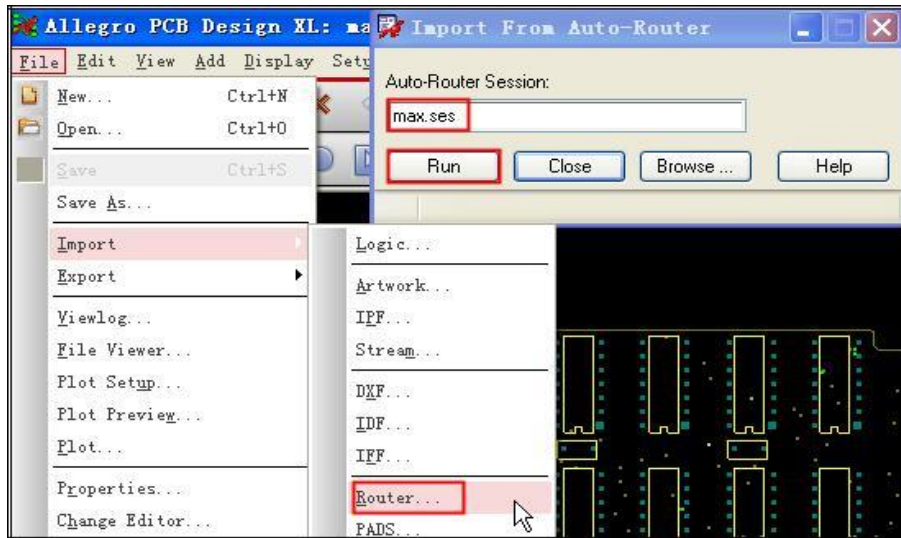
在 CCT 中，导入布线文件。



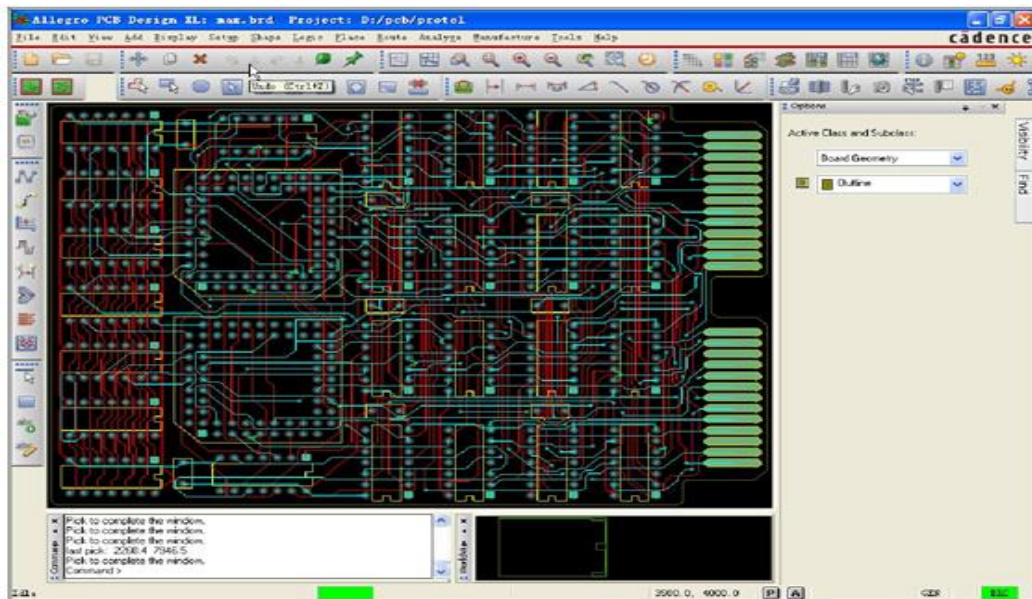
导入完成，退出 PCB Router(CCT),会询问是否保存布线文件。



这时，退回到 PCB Editor 界面，如果布线显示，则 OK 了。如果没有走线信息，需要我们导入刚才保存的 max.ses 文件。File->Import->Router; 选择 max.ses 文件，导入 PCB 文件，生成 max.brd 文件。



至此，我们完成了从 AD6 导入 Cadence 平台的转换。



联系方式:

科通数字技术有限公司

总部: 深圳市南山区高新南九道微软科通大厦 8-11 层

产品经理: 王其平

手机: 18049720018

邮件: QipingWang@comtech.com.cn

地址: 上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

华东地区

联系人: 陈敏敏

手机: 18017922811

邮件: PeterChen@comtech.com.cn

地址: 上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

华南及西部地区

联系人: 谭波涛

手机: 15920086575

邮件: terrytan@comtech.com.cn

地址: 深圳市南山区高新南九道微软科通大厦 8-11 层

华北地区

联系人: 党建成

手机: 18010161381

邮件: SudyDang@comtech.com.cn

地址: 北京市海淀区中关村大街 1 号海龙大厦 14 层北区 1418-21