



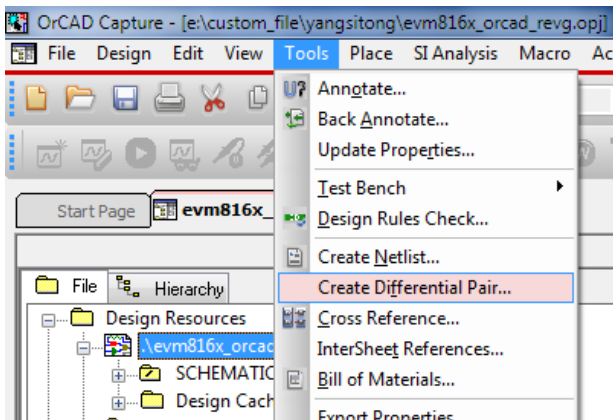
Allegro 差分对详解

现今高速设计中差分走线使用越来越多，Cadence Allegro PCB 中针对差分对的各个因素进行了精细的控制，力求达到最佳的信号质量，但是更细致的控制也就意味着更多的参数配置，这些参数如果用户不熟悉的话是没办法取得最好的控制效果的，本方案就是针对 Cadence Allegro PCB 中的差分对进行详细讲解，减少疑惑。

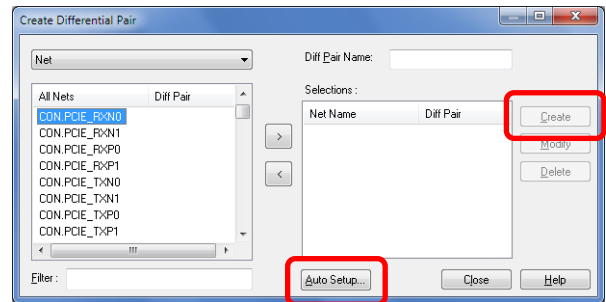
1、差分对的定义

1.1 在原理图设计阶段对差分对进行定义

这里以 Capture 为例说明如何在原理图阶段对差分对进行定义。首先在工程管理界面选中 DSN 文件，然后在 Tools 菜单中选中“Create Differential Pair...”。



弹出菜单如下图：

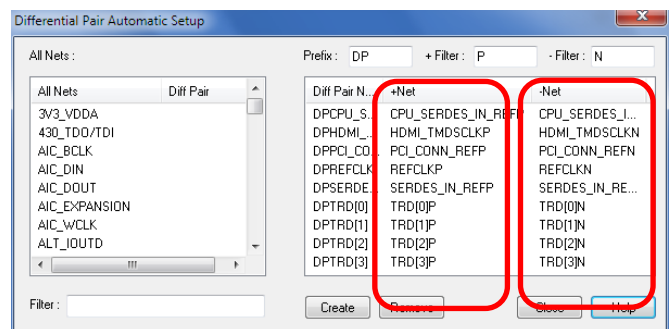


左侧双击需要设置差分对的两个 Net 将其添加到右侧

“Selections” 栏内，在“Diff Pair Name”中输入差分对的名字，点击“Create”创建差分对，可以看到在“Create”按钮下方有“Modify”与“Delete”两个按钮是用于对差分对进行修改和删除的。

如果差分对的 Net Name 有明显的规律性，比如：

“PCIE_RXIN”、“PCIE_RX1P”就可以使用上图下方红色框内的“Auto Setup”按钮来自动生成差分对，点击“Auto Setup”按钮弹出如下菜单：



在“Prefix”栏输入差分对统一使用的前缀，此处为“DP”；

在“+Filer”中输入 Net Name 中代表 positive 的后缀，此处为

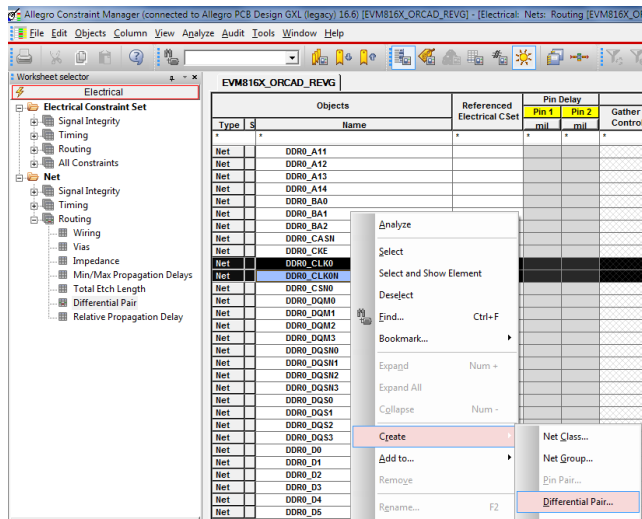
“P” ;在“-Filter”中输入 Net Name 中代表 negative 的后缀，此处为“N”，在图中红色框中看到经过我们输入的“N”“P”以后过滤出来符合条件的 net，点击“Create”自动创建差分对。

1.2 在 PCB 设计阶段对差分对进行定义

PCB 阶段添加差分对也有两种方法，

第一种方法：依次打开菜单命令“Logic→Assign Differential Pair”，创建方法与 Capture 中类似，不再赘述。

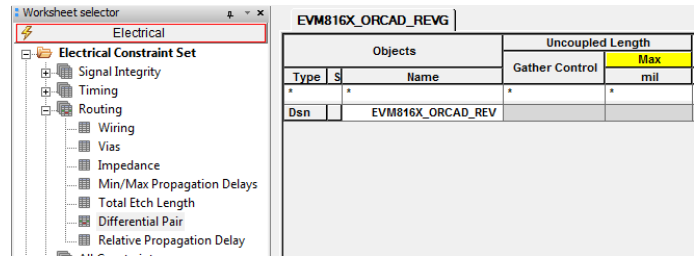
第二种方法：打开“Constraints Manager”在“Net”的 Worksheet 里面选中需要设置差分对的两个 Net，右击在右键弹出菜单中找到“Create→Differential Pair”，点击，在弹出菜单的“Diff Pair Name”栏中输入差分对的名字，点击“create”即可生成差分对。



2、创建差分对约束

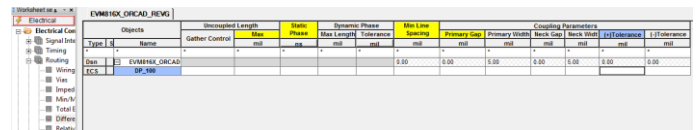
2.1、在约束管理器中创建差分对的约束

打开约束管理找到“Electrical”约束中的“Electrical Constraint Set”Worksheet 中的“Routing→Differential Pair”，如下图所示：



然后在上图右侧红框内“Objects”对象列的名字上右击(此处为：EVM816X_ORCAD_REV)，在弹出菜单中选择

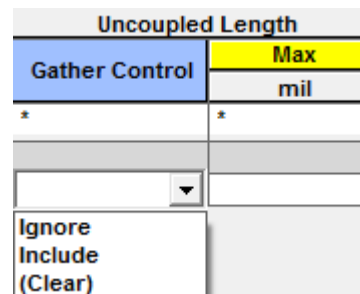
“Create-Electrical Cset”，输入电气约束的名字来创建一个新的电气约束，此处输入“DP_100”，如下图：



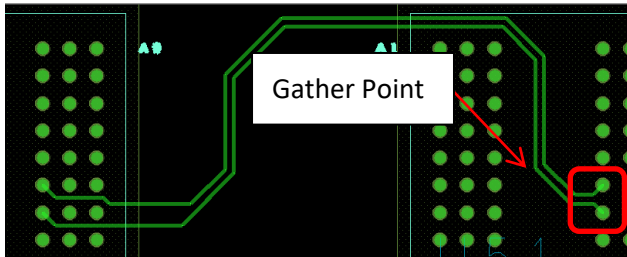
从上图的红框中我们可以看到一些差分对相关的约束规则的名字。当然我们需要知道这些约束规则具体的含义才能设置恰当的约束来保证走线符合我们的要求，下面我们对差分对中这些约束规则一一解释。

2.2 差分对的约束规则

2.2.1 不耦合长度 (Uncoupled Length)



差分对需要耦合才能达到差分传输的效果，所以不耦合长度就是我们z需要控制的一个变量，下图是一个例子，其中红色部分为不耦合部分，我们设置了不耦合长度的值，软件自动计算实际走线中不耦合长度是否小于我们设置的约束值。



其中左侧红框内的不耦合部分是由于我们走线不当产生的，这种情况是应该尽量避免的，右侧红框内为走线时因为 pin 间距与走线间距的差异必定会产生的不耦合长度（这种情况会出现在走线入 PIN、出 PIN 以及出入过孔的时候），这个是否考虑在不耦合长度内需要我们在“Gather Control”中进行控制，“Ignore”即忽略这段长度，不把这段不耦合长度计算在总的耦合长度内，“Include”即包含这段不耦合长度，软件计算总的耦合长度时会把这段不耦合长度包含在总的耦合长度内。除了“Gather Control”，“Uncoupled Length”的约束还有一项“Max”，从名字我们就可以知道这项就是关于不耦合最大长度的规则设定，我们在这一项中设置不耦合长度的最大值，当实际走线中不耦合长度超过这个值会有 DRC 产生。

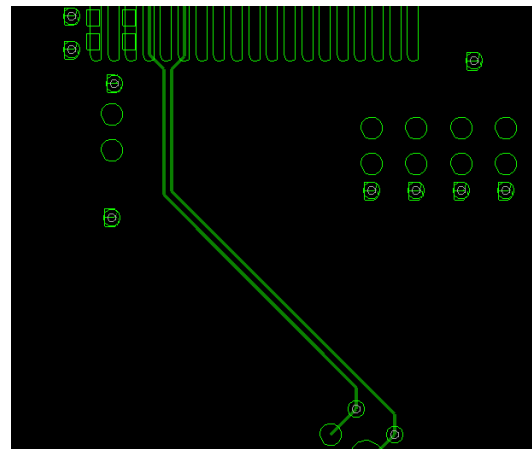
Objects		Uncoupled Length	
Type	S	Name	Max
*	*		*
Dsn	E	EVM816X_ORCAD	
ECS		DP_100	Ignore 80.00

以上图为例，这个约束的含义是，最大不耦合长度不超过 80 mil，同时“Gather point”前以及“Gather Point”后走线的不耦合长度将被忽略，不计算在总的耦合长度内。可能会出现这种情况：忽略“Gather Point”前后走线的不耦合长度时总的耦合长度小于 80，但是包含“Gather point”前后走线的不耦合长度时总的耦合长度超过 80，所以实际设计时设置“Ignore”还是“Include”需要根据实际设计指标来考量。

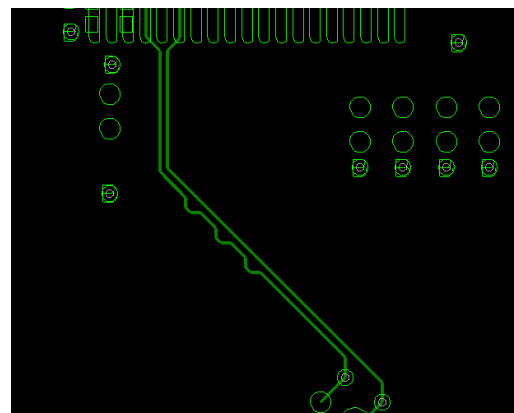
2.2.2、静态相位误差 (Static Phase Tolerance)

Static Phase
ns
*

静态相位误差指的是两根差分线从发送端到接收端之间的长度（或传输时间）进行比较得到的误差值，我们可以在“Static Phase Tolerance”对应的列中输入我们希望的两根差分线之间的静态误差值（比如“1mil”），具体图示如下：



很显然上图中两根走线不能保证从发送端到接收端信号的同步。所以我们可以使用 Allegro 提供的“Phase Tune”（其菜单命令为：“Route-Phase Tune”）命令来使其误差在一个可接受的范围之内，经过“Phase Tune”处理后的走线如下图：

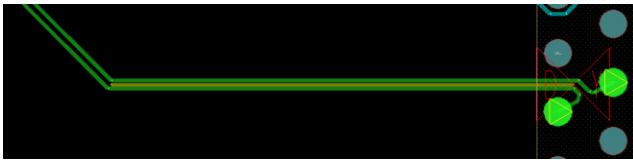


2.2.3 动态相位误差 (Dynamic Phase Tolerance)

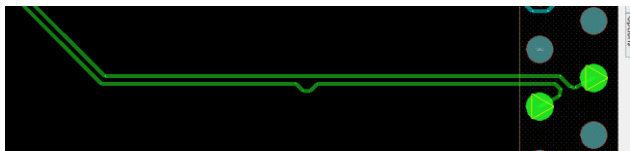
动态相位误差是 16.3 版本以后引入的一个新概念，动态相位误差指的是在一定的长度 (Max Length) 内将因为转角产生的误差 (Tolerance) 补偿回来的一种规则设定。

Dynamic Phase	
Max Length	Tolerance
mil	mil
*	*
500.00	15 mil

如上图所设定的约束值，其检查是否符合约束的条件是：如果因为转角产生了 15mil 的误差，那么这个 15mil 的误差一定要在 500mil 的长度范围内补偿回来，否则将产生 DRC。如下图所示：

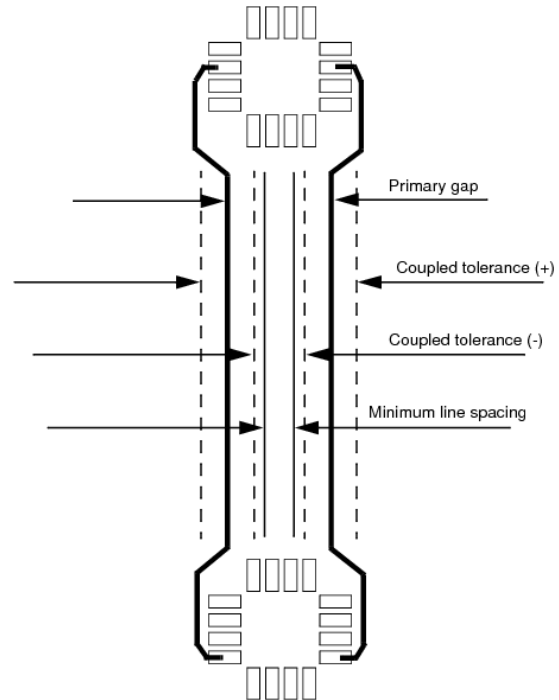


因为转角原因，导致下面的在图中这段下面的线比上面的短 (图中右侧有“DY”的 DRC 提示，并且动态长度误差不在约束值内的走线会在两线之间加高亮线提示)，所以我们需要将这段长度补偿出来，我们使用前面所述的“Phase Tune”命令将下面走线延长，则 DRC 消失，同时两线间的高亮线也消失。



2.2.4、差分线耦合参数 (Coupling Parameters)

在了解差分线的耦合参数前，我们先看下面两张图：



Min Line Spacing	Coupling Parameters					
	Primary Gap	Primary Width	Neck Gap	Neck Width	(+)Tolerance	(-)Tolerance
mil	mil	mil	mil	mil	mil	mil
*	*	*	*	*	*	*
0.00	0.00	5.00	0.00	0.00	0.00	0.00

上面第一张图是差分对的图示，下面是约束规则中耦合参数的截图，从这两张图中我们大致可以了解到一下概念：

Primary Gap: 正常情况下差分对两线的间距，这个 Gap 指的是两条线间的空隙而不是两条线的中心距。

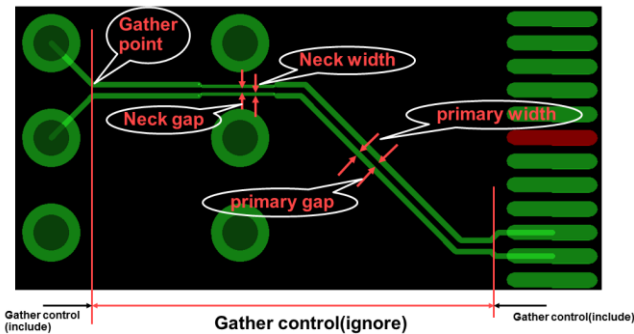
(+) Tolerance: 差分对走线可向外移动的最大距离，超过这个距离即违反约束，属于不耦合走线。也就是说如果 Primary Gap 为 5，(+) Tolerance 为 1，那么两线间的空隙 (Air Gap) 最大为 6。

(-) Tolerance: 与 (+) Tolerance 类似，只不过是向内的偏移量。

Min Line Spacing: 两线间的最小间距，这个最小间距不是

指“Primary Gap- (-) Tolerance”，而是 neck 模式下的“neck gap- (-) Tolerance”。

从上面两图的对比中我们虽然可能推测出 Primary Width 是指的正常情况下的差分对线宽，但是 neck 模式的设定我们并不知道。再看一张图。



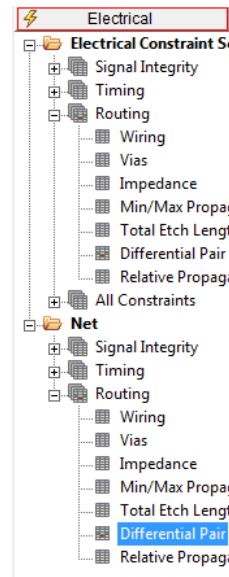
从这张图中可以清楚的看到差分对耦合参数的其他参数含义。

3、差分对其他问题。

3.1、差分对约束的分配

在第二段落中我们已经知道怎么设定差分对的约束，约束规则设定以后还要赋予具体的网络才能起到约束驱动布线的效果，约束的分配的步骤如下：

打开约束管理器，在 Electrical 约束下找到“NET”的 Worksheet。然后打开“Routing→Differential Pair”，如下图



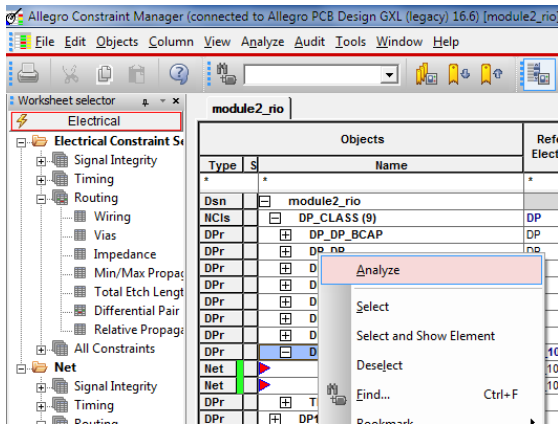
找到需要赋予约束的差分对，

Objects		Referenced Electrical CSet
Type	Name	
*	*	*
Dsn	module2_rio	
NCIs	DP_CLASS (9)	DP
DPr	DP_DP_BCAP	DP
DPr	DP_DR	DP
DPr	DP_DRT	DP
DPr	DP_HEX1	DP
DPr	DP_INT1	DP
DPr	DP_NECK1	DP
DPr	DP_REG1	DP
DPr	DP_1	DP_100
Net	DP_1N	DP
Net	DP_1P	DP_100
DPr	TIM_DP1	ECS2
DPr	DP1	(Clear)

在 Referenced Electrical Cset 列对应项上点击，从下拉菜单中选择适当的约束规则即完成约束规则的分配。我们讲的差分的约束规则分配，其实所有约束规则分配都是一样的方法，使用其他约束规则时可以类推。

3.2、约束规则检查

分配好了约束规则以后可以进行布线，如果有错误需到约束管理器中检查具体错误，以及错误对应的误差值。在需要分析的差分对上右击，选择“Analyze”由软件对这个差分对进行分析，得出实际走线的长度、延迟与约束的误差。



Static Phase Tolerance	Dynamic Phase	
	Max Length	Tolerance
ns	mil	mil
*	*	*
5 mil		
20 ns	500.00	5 mil
20 ns	500.00	5 mil

如上图所示，可以看到“Dynamic Phase”下的两个单位“mil”的形状并不相同，Tolerance 的单位可以调整成时间单位“ns”，只需要点击“mil”的按钮在弹出菜单中切换即可。这样就更方便的去设定约束（有些情况下用时间表示更方便，有些情况下用长度更方便，看具体需要）。

经软件分析后，软件会用蓝色字体标示出符合约束的部分，用红色字体标示出违反约束的部分。

Objects		Static Phase			
Type	S	Name	Tolerance	Actual	Margin
*	*		ns	*	*
Dsn		module2_rio			-46.27
NCIs		DP_CLASS (9)	5 mil		-46.27
DPr		DP_DP_BCAP	5 mil		-18.33
XNet		DP_BCAP_N	5 mil	23.33	-18.33
RePP		J2.231:U1.E21	5 mil	23.33	-18.33
XNet		DP_BCAP_P	5 mil	23.33	-18.33
RePP		J2.233:U1.D21	5 mil	23.33	-18.33
DPr		DP_DR	5 mil		-0.03000
DPr		DP_DRT	5 mil		-46.27
DPr		DP_HEX1	5 mil		
DPr		DP_INT1	5 mil		-26.16
DPr		DP_NECK1	5 mil		-28.28
DPr		DP_REG1	5 mil		-20.38
DPr		DP_1	20 ns		20.00
Net		DP_1N	20 ns	20.00	20.00
RePP		J2.223:U1.K21	20 ns	0.002010	20.00
Net		DP_1P	20 ns	20.00	20.00
RePP		J2.224:U1.J21	20 ns	0.002010	20.00

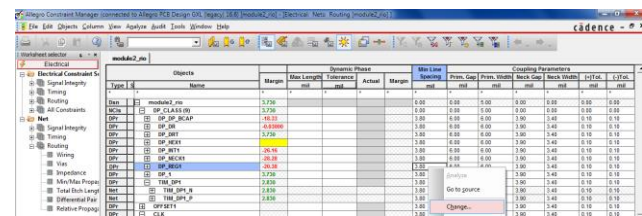
从图中可以看到“Actual”栏是实际值，“Margin”为约束与实际值之间的误差（此处列出的只是 Static Phase，其他几项约束规则与 Static Phase 相同），根据这些数值我们再微调我们的走线即可满足设计。

3.3、约束规则的单位调换

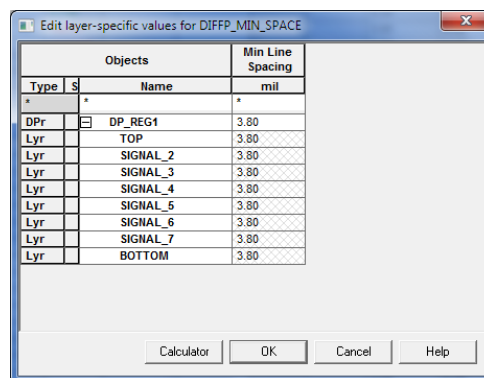
Allegro PCB 中与延迟有关的参数可以同时使用长度 (mil) 以及时间单位 (ns)。

3.4、差分对的阻抗计算

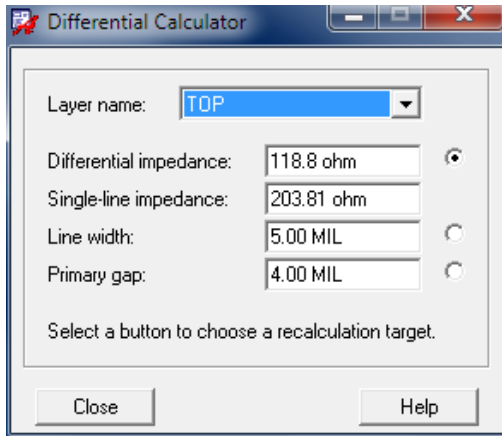
差分对的阻抗计算有两个方法，第一种是在约束管理器中耦合参数设定那些列中右击选择“Change”



在弹出菜单中可以修改最小线宽的参数，也可以直接点击“calculator”，开始阻抗计算。



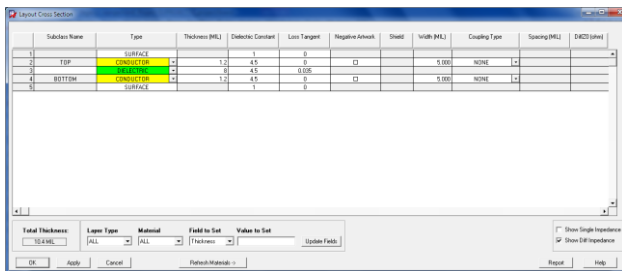
点击“calculator”后弹出如下菜单。



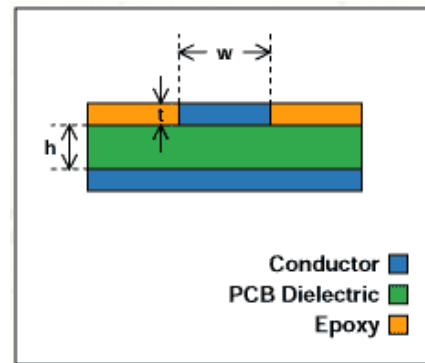
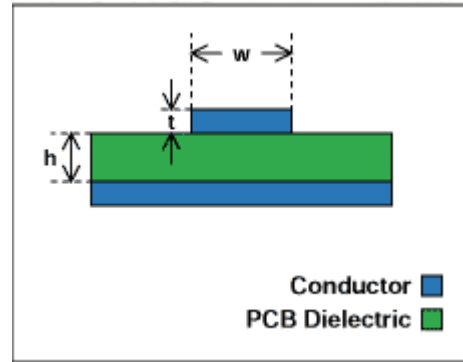
先要确定一个目标参数，修改它的参数，然后软件会弹出确定自动计算时由软件来修改哪个参数，比如我们将差分阻抗定位 100ohm，在弹出的参数中选择自动计算 Primary Gap 软件计算后自动修改 Primary 的参数为“2.49”（以本例参数计算得到的结果）。

另外一种计算差分阻抗的方法是在“Cross Section”中进行计算。

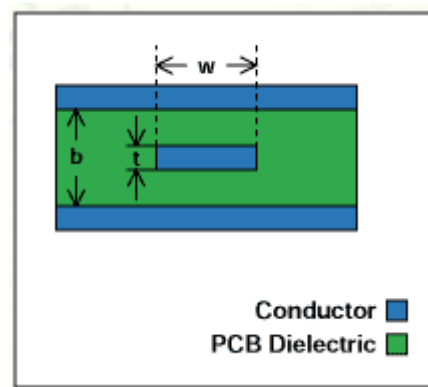
打开“Cross Section”，勾选右下角的“Show Diff Impedance”。



然后需要在“Coupling Type”选择耦合的类型，耦合类型有两种，一种是“EDGE”适合于微带线。



另外一种“Broadside”类型，适用于带状线。



Edge 耦合类型即是差分线走在同一走线层上面，而 Broadside 耦合类型是差分走线走在不同层，中间以介质层隔开进行耦合。需要注意的是 Broadside 类型的耦合需要在上下均有完整的参考层。示例如下：

Sublayer Name	Type	Thickness (MLI)	Dielectric Constant	Loss Tangent	Negative Allow	Shield	In/Out (MLI)	Coating Type	Coating (MLI)	DiffZ0 (ohm)
1	SURFACE	1	0	0						
2	TOP	1.2	4.5	0	0		5.00	NONE	1.4	
3	CONDUCTIVE	0	4.5	0.00	0		5.00	EDGE	1.4	50.00
4	NONDIELECT	1.2	4.5	0.00	0					
5	CONDUCTIVE	0	4.5	0.00	0					
6	NONDIELECT	1.2	4.5	0.00	0					
7	CONDUCTIVE	0	4.5	0.00	0					
8	NONDIELECT	1.2	4.5	0.00	0		5.00	BROOKLYN	1.4	50.00
9	CONDUCTIVE	0	4.5	0.00	0		5.00	BROOKLYN	1.4	50.00
10	NONDIELECT	1.2	4.5	0.00	0					
11	CONDUCTIVE	0	4.5	0.00	0					
12	NONDIELECT	1.2	4.5	0.00	0					
13	CONDUCTIVE	0	4.5	0.00	0					
14	NONDIELECT	1.2	4.5	0.00	0		5.00	NONE	1.4	
15	BOT STR	1	0	0						

在“Cross Section”的页面可以对每层走线的线宽及线距进行设置，同时这些设定会实时的影响到阻抗，更改参数以后阻抗会自动计算并更新。差分走线的阻抗显示在“DiffZ0 (ohm)”列中，修改具体参数可看到阻抗变化。

全文完！

Comtech 解决方案

- Cadence PCB 设计平台建设
- ECAD/CIS 库平台建设
- Allegro 软件二次开发
- PCB 项目设计及仿真外包服务
- Cadence 软件培训服务

Comtech 优势

- 实力雄厚的资深技术团队，多名 10 年以上经验的 FAE
- 丰富的 PCB 设计/EDA 平台建设等实践经验
- 出色的二次开发能力，为客户提供各种定制化开发需求
- 高效的技术服务平台，通过电话/邮件/Web/BBS，及时帮客户解决各类软件使用/设计相关问题
- 实战指导、项目现场支持等特色服务
- 最新技术资料下载客户专享通道，包括软件使用技巧、设计经验、国外技术文献翻译等
- 为客户提供量身定制的全面的针对性培训服务

联系方式

总部：深圳市南山区高新科技园高新南九道 55 号微软科通大厦 11 楼

产品经理

联系人：王其平

手机：18049720018

电话：021-51696680-8063

传真：021-52370712

邮件：QipingWang@comtech.com.cn

地址：上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

邮编：200050

华东地区

联系人：陈敏敏

手机：18017922811

电话：021-51696680-8057

传真：021-52370712

邮件：PeterChen@comtech.com.cn

地址：上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

邮编：200050

华南及西部地区

联系人：谭波涛

手机：15920086575

电话：0755-26744082

传真：0755-26743385

邮件：terrytan@comtech.com.cn

地址：深圳市南山区高新科技园高新南九道 55 号微软科通大厦 11 楼

邮编：518057

华北地区

联系人：王其平

手机：18049720018

电话：010-51726678-821

传真：010-51727874

邮件：QipingWang@comtech.com.cn

地址：北京市海淀区海淀北二街 8 号中关村 SOHO B 座 909-910