

Cadence SPB 17.2_2016 新功能介绍

Cadence 在 2016 年 4 月正式发布了 OrCAD and Allegro Products 17.2-2016 新版本，新版本将软件更新为 64 位架构，仅支持 windows 64 位的系统；包含了以下所述重要的软件新功能：

- 新的 Padstack Editor 操作界面，引导逐项设定 Padstack 参数
- 新的 XSection Editor 操作界面，使用类似 CM 表格化 UI
- 支持软硬结合板设计，在单独的设计文件能兼容多种叠层进行产品设计

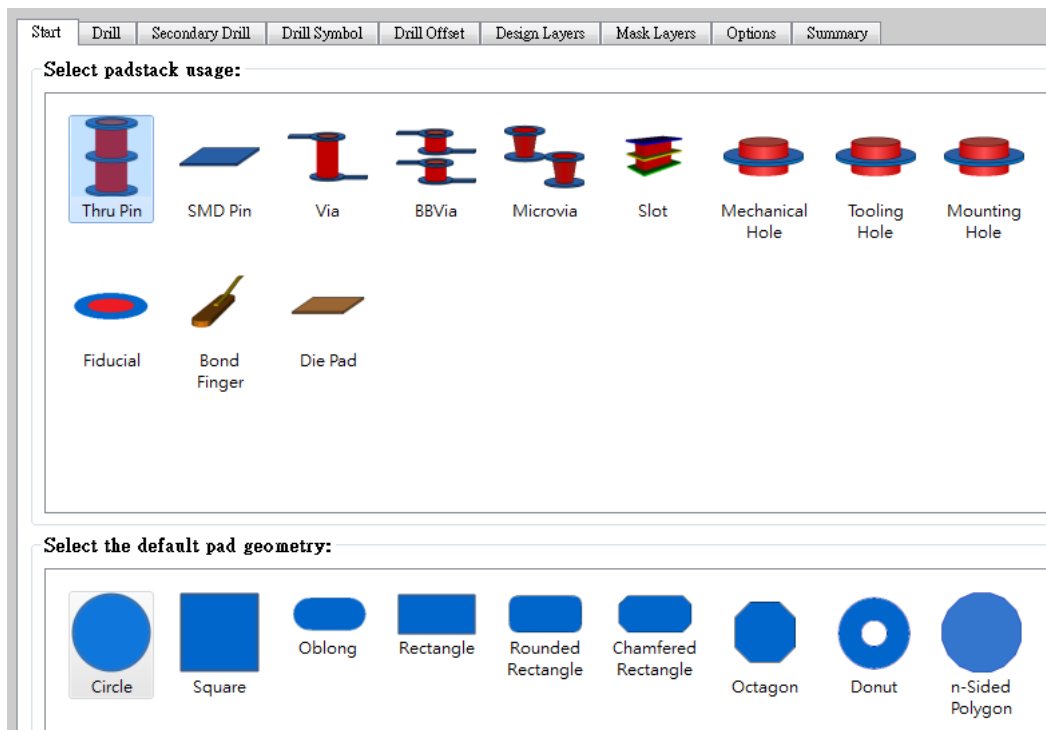
Cadence SPB 17.2-2016 新版本发布

- Cadence SPB 17.2-2016 仅支持 64 位操作系统。
- Cadence SPB 17.2-2016 的相关应用程序调整路径架构。
 - * 新版本的相关应用程序放置路径调整至 17.2-2016 安装路径中的/tools/bin 文件夹路径下，因此在环境变量『PATH』中不再需要定义 pcb/bin 及 fet/bin 文件夹路径。而执行 Cadence 新版本的 OrCAD、Allegro 和 EDM 相关应用软件也不需在环境变量『PATH』中设定 17.2-2016 的相关路径。
 - * Cadence SPB Switch Release 17.2-2016 程序工具已更新，其可辨别不同版本间的应用程序路径架构不同，用以自动更新应用程序与文件链接性关系。
 - * 若您使用命令提示符窗口或批处理程序文件(batch file) 执行批处理程序(batch programs)，请将您原有的批处理程序文件添加到 17.2-2016 安装路径中的/tools/bin 文件夹路径下的 allegro_cmd.bat 文件里。

Allegro PCB Designer 17.2-2016 新功能

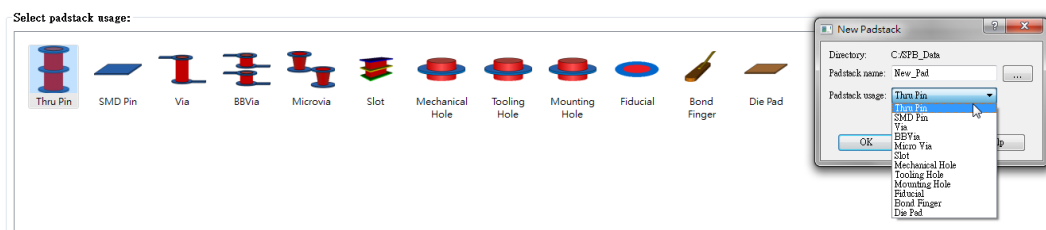
Padstack 彻底调整

新的 Padstack Editor 界面下，简化了设定各种不同 Padstack 不必要的步骤，使用者只需要在 Start 页面选择需要建立的种类与几何形状之后，就能在其他页面进行相关细节的设定。



Padstack Usage Types

建立 Padstack 文件 通过 Padstack Types 选择需新建的类型 这些类型同时也能符合 IPC-2581 的数据格式。



Padstack types 包含以下所列：

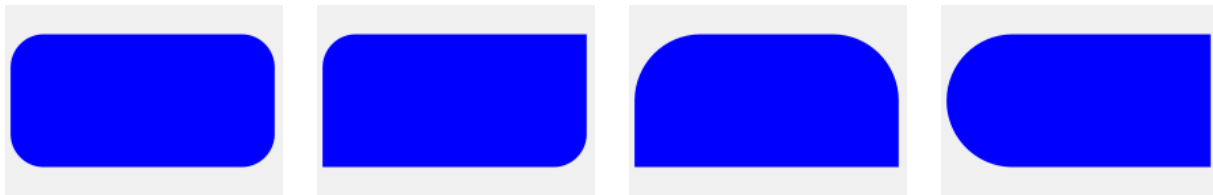
- ▲ Thru Pin
- ▲ SMD Pin
- ▲ Via
- ▲ BBVia
- ▲ Microvia
- ▲ Slot
- ▲ Mechanical Hole
- ▲ Tooling Hole
- ▲ Mounting Hole
- ▲ Fiducial
- ▲ Bond Finger
- ▲ Die Pad

New Pad Geometries

标准 Pad 几何图形中新增部分如下：

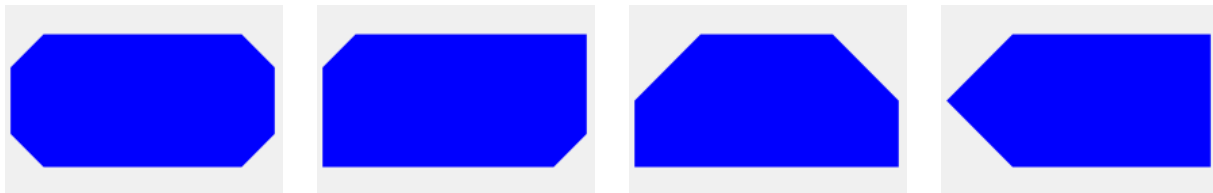
Rounded Rectangle

通过对四个角分别设定圆弧角半径定义其形状。



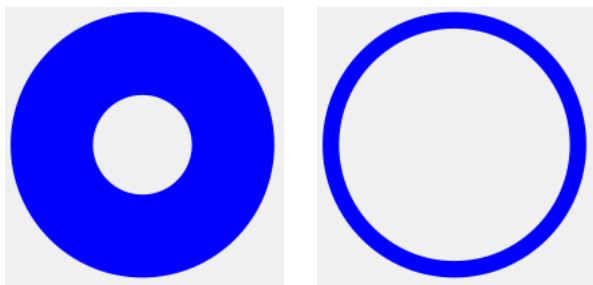
Chamfered Rectangle

通过对四个角分别设定斜角半径定义其形状。



Donut

可用在光学定位点或机械固定孔上，经过设定内外圈参数产出对应的形状。



n-sided Polygon

支持多边形 Pad，设定的边数为偶数，并且介于 6-64 之间。

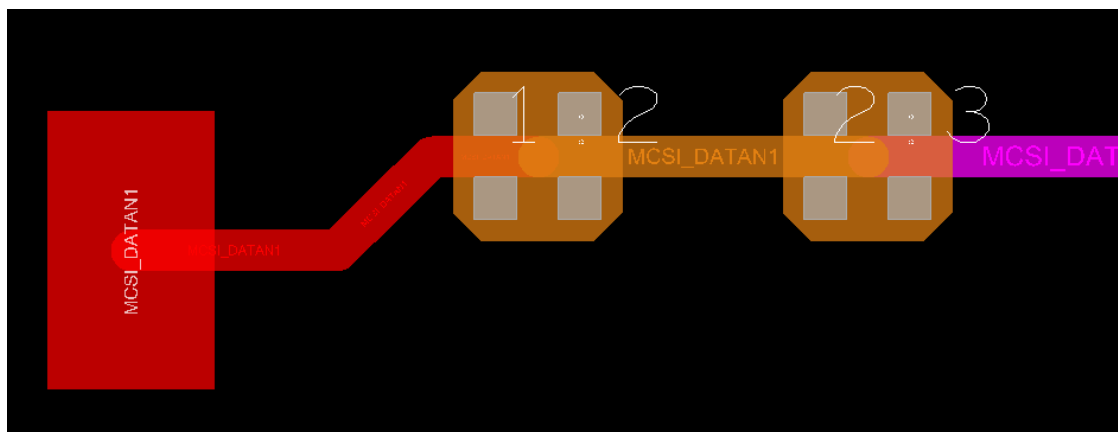


New Drill Features

在钻孔设定中新增了一些功能：

Hole Type

新增了方形孔的设定，通常可做 Punch 及 Microvia 的应用。



Drill tool size

能够针对实际钻头尺寸来定义其钻孔信息，并且也可用作辨识钻孔工具。

(此字段作为工程信息，因此输入的内容仅会在 Drill legend 中的字段出现)

Drill tool size:

Drill tool size:

Finished diameter / Finished Size

以往的 Drill diameter 现已更名为 Finished diameter，而方形孔则为 Finished Size。

Drill hole

Hole type:

Finished diameter:

+ Tolerance:

- Tolerance:

Drill tool size:

Slot tolerance

槽孔设定可对 X、Y 轴分别做不同的误差设定。

Slot

Slot type:

X size:

Y size:

X tolerance

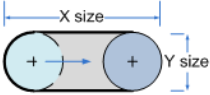
+ :

- :

Y tolerance

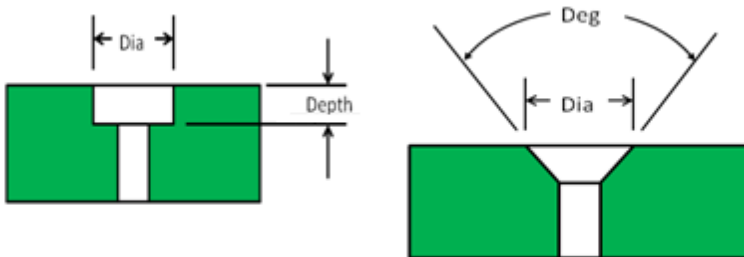
+ :

- :



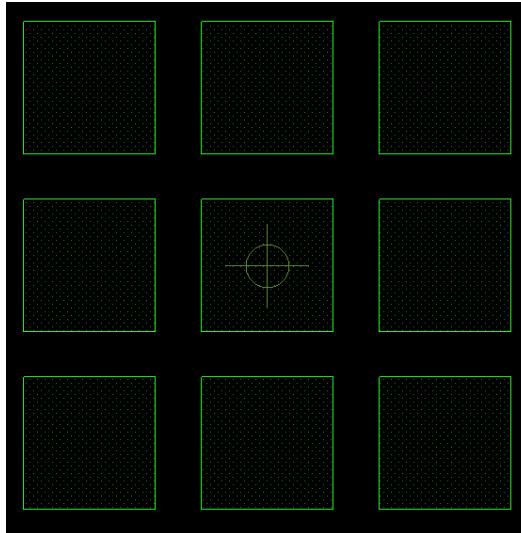
Secondary Drill

二次钻孔设定对于一些空间使用较为精确的设计，可通过 T 型孔或 Y 型孔的进行定义。



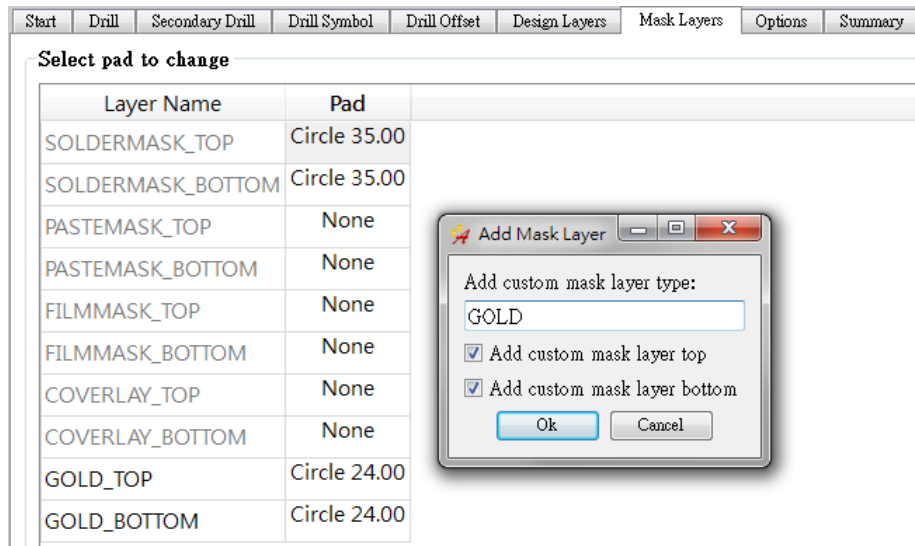
Multi-shape mask pad geometries

通过建立 Flash symbol，能够将多块 shape 数据做成 mask 层面的对象。



User Mask Layers Increased to 32

用户自定义的 Mask 层面现在能够拓展至 32 层，并且新增层面时也能够再选择该层面为 Top 或 Bottom 的相关属性。



Keepout Features

17.2 新版的 Padstack 建立支持 Route keepout ,能够定义各层的 keepout 形状 ;针对 Board level 设计的时候 ,也新增了两个与相邻层有关的 Property 来满足如 SI 或制造端的要求 ,这两个 Property 分别是 :

Adjacent_layer_void_above

Adjacent_layer_void_below

Start	Drill	Secondary Drill	Drill Symbol	Drill Offset	Design Layers	Mask Layers	Options	Summary
Select pad to change								
Layer Name	Regular Pad	Thermal Pad	Anti Pad	Keep Out				
BEGIN LAYER	Chamfered...	None	None	None				
DEFAULT INTERNAL	Chamfered...	Circle 25.0	Circle 25.0	None				
END LAYER	Chamfered...	None	None	None				
ADJACENT LAYER	-	-	-	Chamfered Rectangle 12.0x10.0				

Padstack Options

在 Options 页面中 ,有两项功能设定 :

Start	Drill	Secondary Drill	Drill Symbol	Drill Offset	Design Layers	Mask Layers	Options	Summary
Usage options								
<input type="checkbox"/> Suppress unconnected internal pads; legacy artwork								
<input type="checkbox"/> Lock layer span								

Suppress unconnected internal pad (required for legacy artwork)

将内层没连接的 Pad 清除。

Lock Layer Span

锁定 BB Via 的层数，例如：一个 L4 开始再到 L5 的 BB Via，如今在两层之间插入了一层 L4A，有将 Lock Layer Span 选项打勾时，这颗 BB Via 会变成 L4 开始再到 L4A；反之，则会延展变成从 L4 开始，然后跨过 L4A 再到 L5。



Summary Report

Padstack editor 的 Summary 页面可汇总出相关的 Padstack 设定报告。

Start Drill Secondary Drill Drill Symbol Drill Offset Design Layers Mask Layers Options Summary

via14

date/time: 2016/05/13 17:48:03

type: Via
units: mils
decimal places: 2

Hole data

geometry: Circle
size: 14.00
offset: (0.00, 0.00)
tolerance: positive=0.00 negative=0.00
plating: Plated

Drill symbol data

geometry: Cross
width: 15.00
height: 15.00
characters:

Design layer pads

Layer: BEGIN LAYER

Pad	Geometry	Width	Height	X offset	Y offset
Regular	Round	24.00	24.00	0.00	0.00
Thermal	None				
Anti	None				
Keep Out	None				

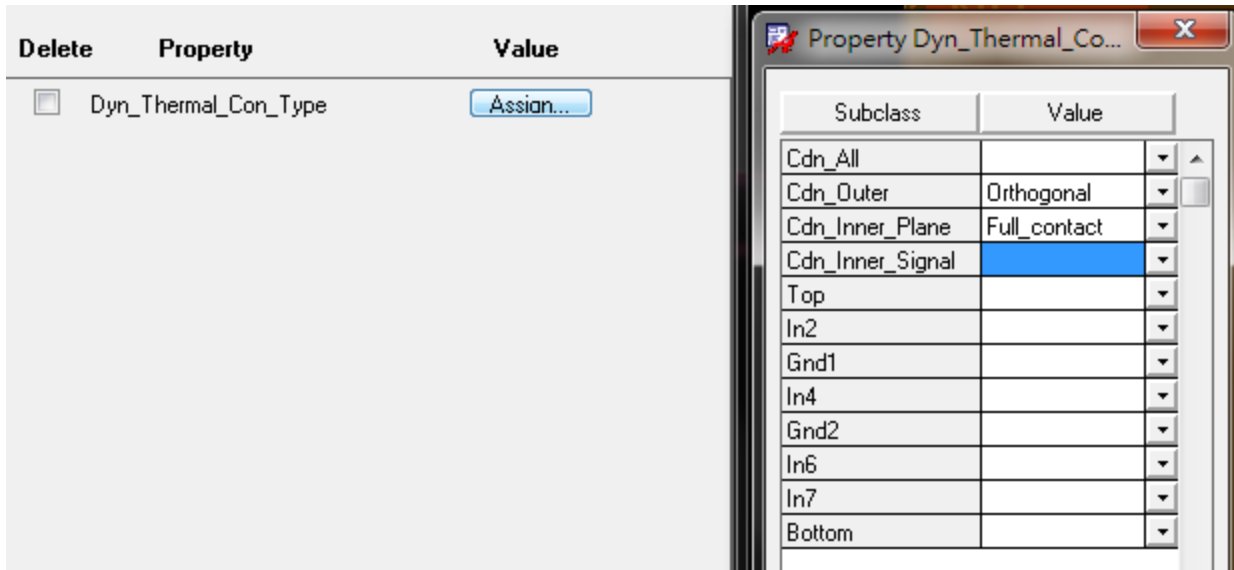
Layer: DEFAULT INTERNAL

Pad	Geometry	Width	Height	X offset	Y offset	Flash name
Regular	Round	24.00	24.00	0.00	0.00	
Thermal	Flash	0.00	0.00	0.00	0.00	th01
Anti	Round	35.00	35.00	0.00	0.00	
Keep Out	None					

Save Print

Layer support for Dynamic Shape Properties

对于动态铜的 Pin/Via 连接及隔离设定，在新的版本中能够分层来做分别定义。

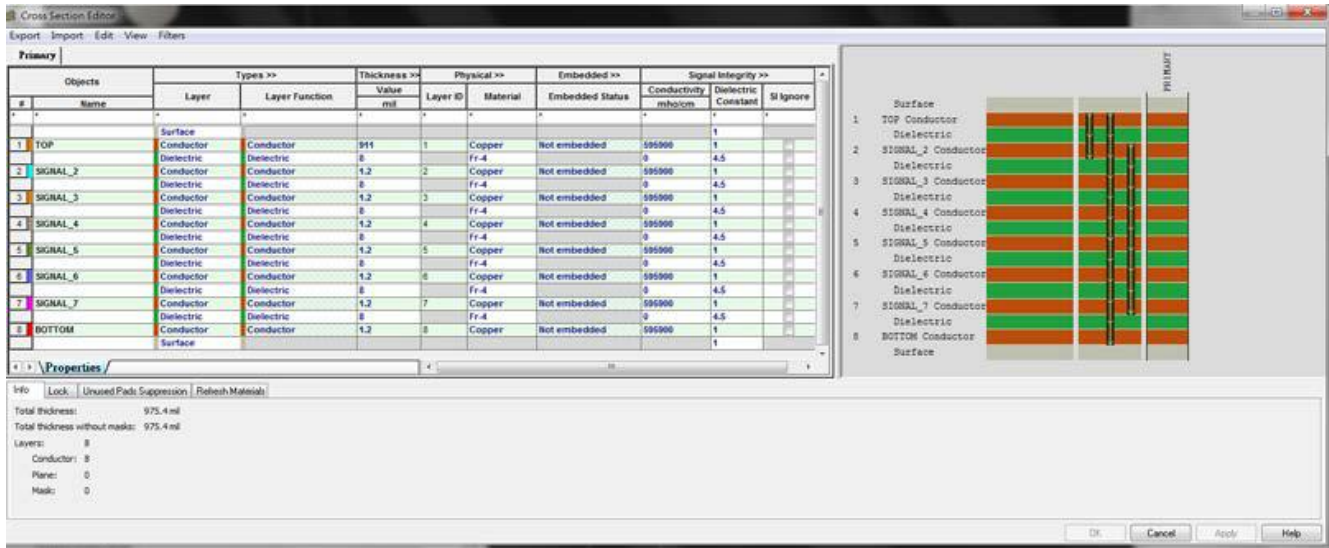


以下 Property 也同样支持分层设定：

- ▲ Dyn_clearance_oversize_array
- ▲ Dyn_clearance_type
- ▲ Dyn_fixed_therm_width_array
- ▲ Dyn_max_thermal_conns
- ▲ Dyn_min_thermal_conns
- ▲ Dyn_oversize_therm_width_array
- ▲ Dyn_thermal_best_fit
- ▲ Dyn_thermal_con_type

Cross Section Overhaul

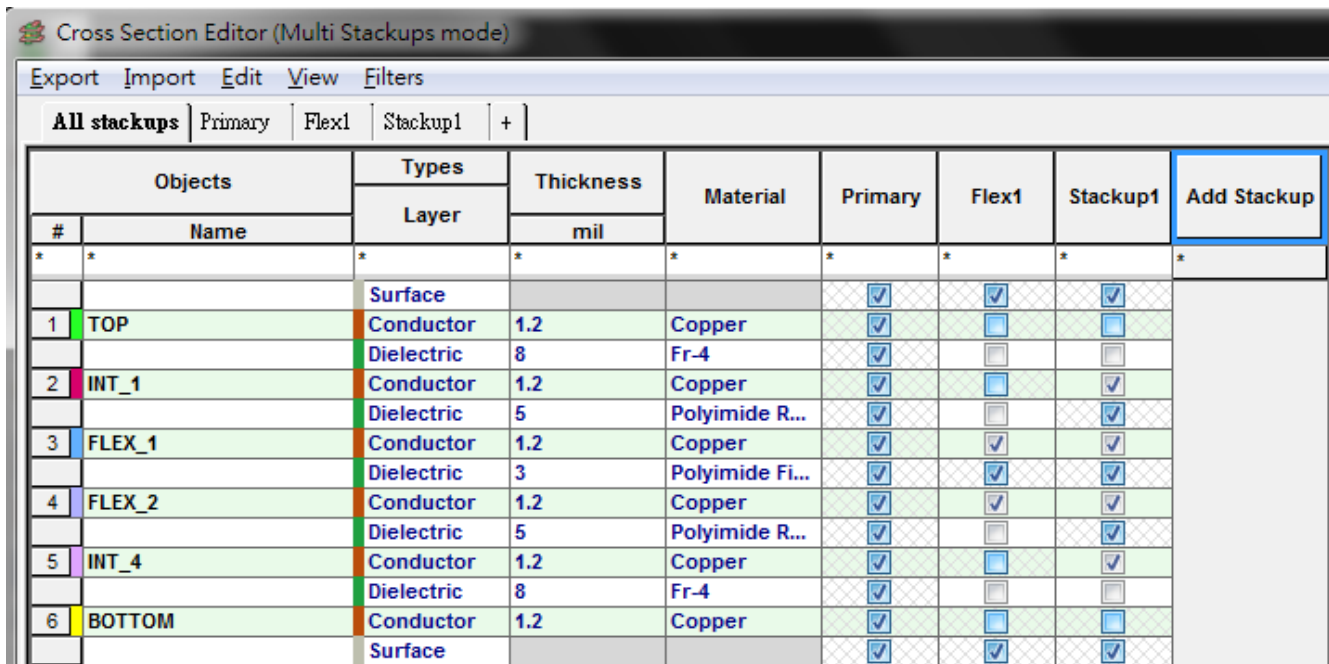
重新设计的叠层编辑设定，充分运用表格式的方法进行相关设定，其源自于 Constraint Manager 的格式，因为表格的一致性，用户操作上更为易用。新的接口整合了 Unused Pad Suppression 与 Embedded Component 设定还有支持了非电气层的部分，如 :Solder mask, Paste, Coverlay...等；另外对于 Material 的字符长度也扩展到 250 个字符。



Multi-Cross Section Support for Rigid-Flex Design

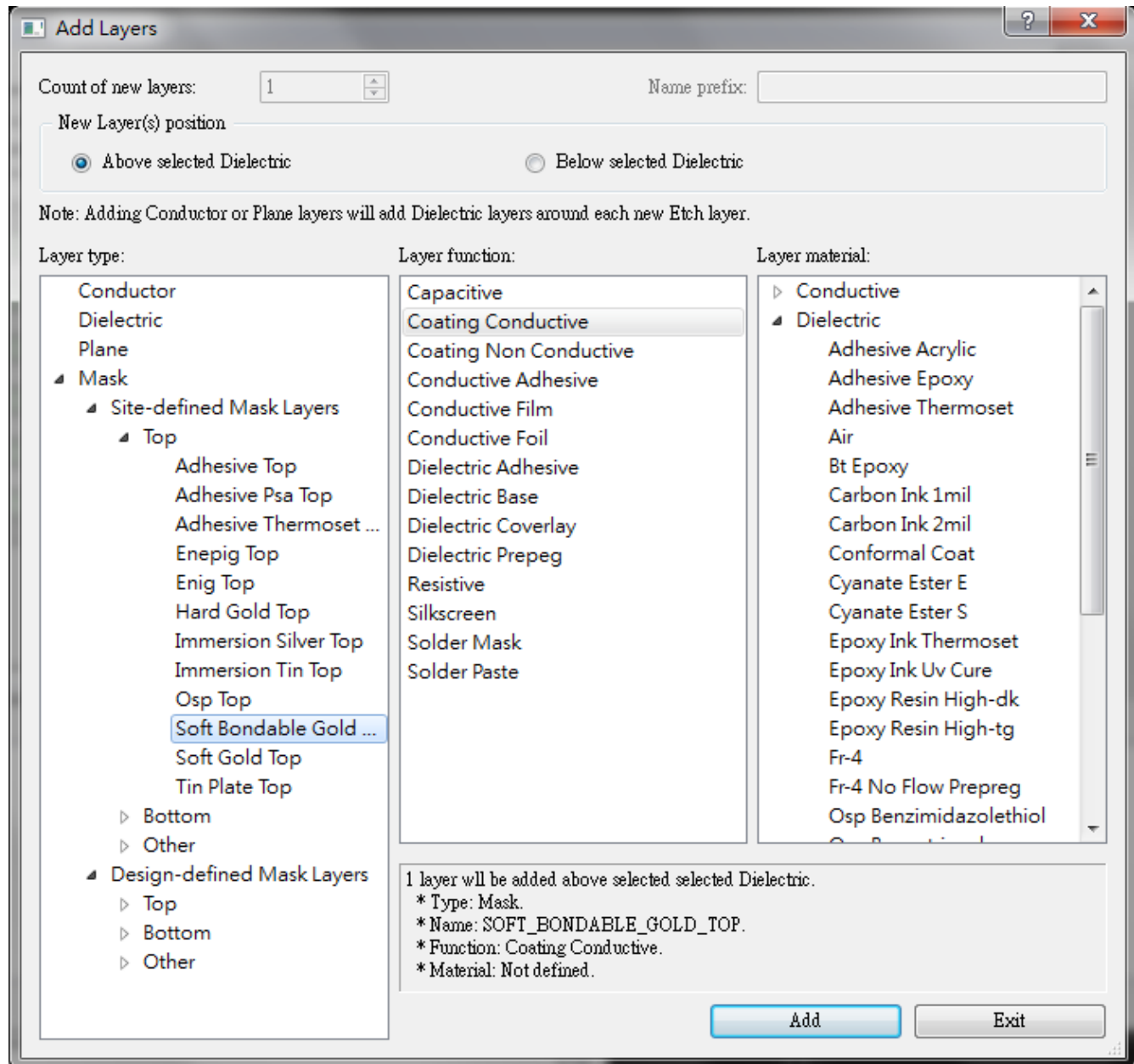
(Allegro PCB Designer & OrCAD PCB Designer Professional)

对应多重叠层的软硬结合板设计，可通过 Cross Section Editor 设定。



Cross Section Support for Non-Conductor Layers

应用于软硬结合板,支持非导体层设定,如一般的 mask 及其他表面涂层皆能在新版本中设定。



Rigid-Flex Physical Zone Management

(Allegro PCB Designer & OrCAD PCB Designer Professional)

新增物理区域来分别定义软板或硬板的区域范围。

New Database Classes and Subclasses

Rigid Flex and Surface Finish Classes

加入软硬结合板及表面处理的 Class。

Class:Rigid-Flex

- Bend_Area
- Bend_Line
- Coverlay_Bottom
- Coverlay_Top
- Emi_Shield_Bottom
- Emi_Shield_Top
- Stiffener_Metal_Bottom
- Stiffener_Metal_Top
- Stiffener_Bottom
- Stiffener_Top
- Transition_Zone
- Zone_Outline

Class: Surface Finishes

- Carbon_Bottom
- Carbon_Top
- Enepig_Bottom
- Enepig_Top
- Enig_Bottom
- Enig_Top
- Gold_Hard_Bottom
- Gold_Hard_Top
- Gold_Soft_Bottom
- Gold_Soft_Top
- Immersion_Silver_Bottom
- Immersion_Silver_Top
- Osp_Bottom
- Osp_Top
- Silver_Ink_Bottom
- Silver_Ink_Top
- Tin_Plate_Bottom
- Tin_Plate_Top

Design_Outline and CUTOUTS subclasses

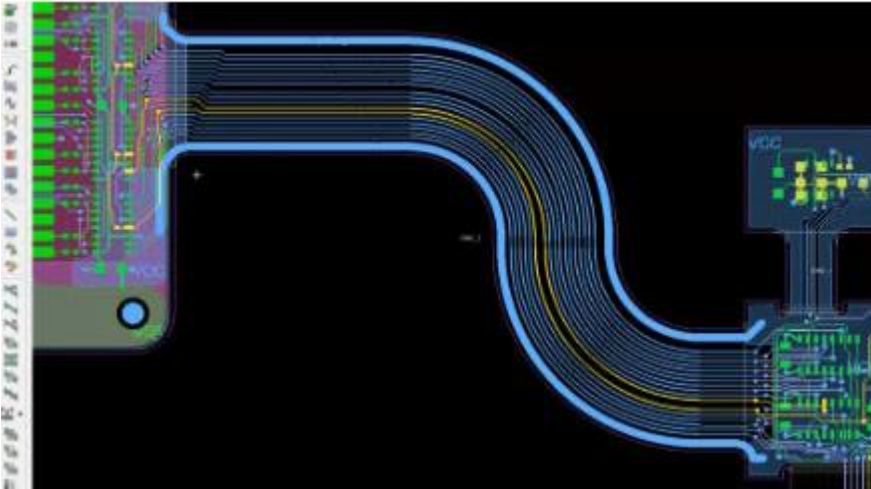
对于 Board Geometry 新加入了 Design_Outline 及 CUTOUTS 的 subclass 供日后应用。

Dynamic Zone-based Placement

对于不同叠层层面的软硬结合板,在摆放零件时能够依照所属的区域将零件摆放到正确的层面上。

Enhanced Contour Routing

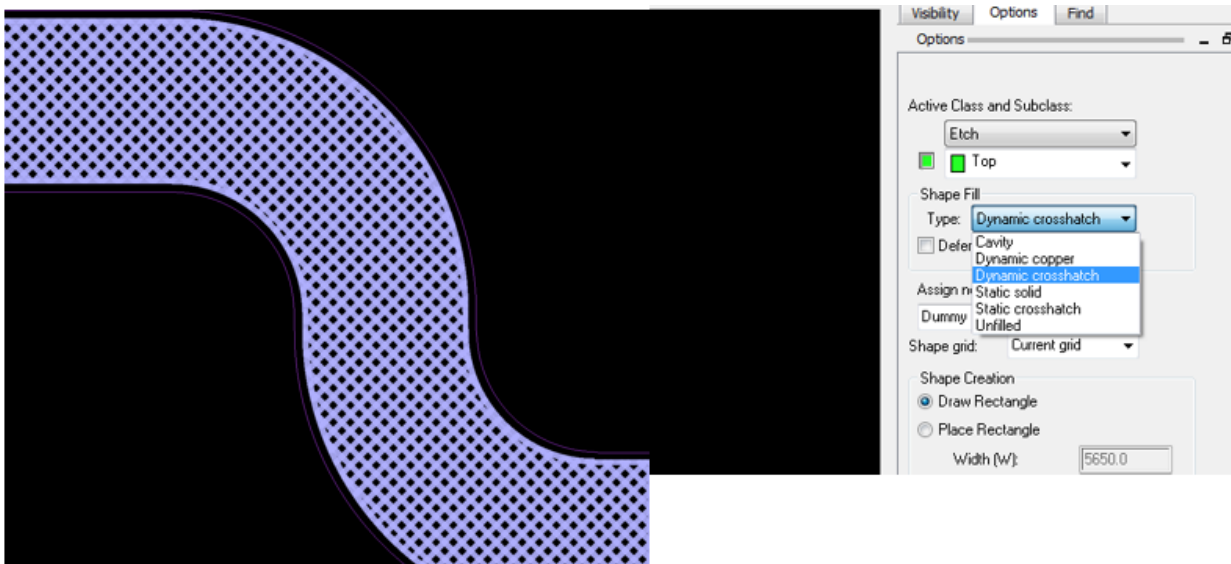
增强型的 Contour routing :只需在选择好对象之后点选要依附的目标及目的即能快速完成走线。



Crosshatch Shape Update

Adding Dynamic XHatch Shapes

现在能将动态铜铺设成网状铜。



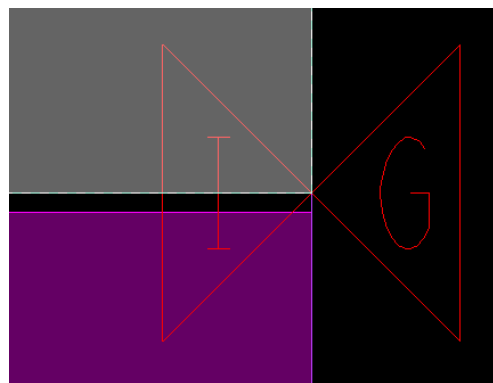
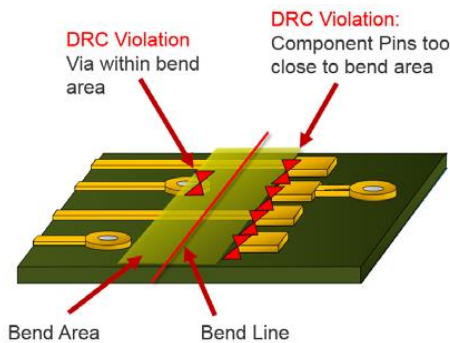
Inter Layer Checks for Rigid-Flex Design

(Allegro PCB Designer & OrCAD PCB Designer Professional)

软硬结合板设计因分别拥有不同的 mask 及表面涂层，并且对于软板部分还会有弯折的区域，所以要能够确实做到相对的检查以避免设计因生产组装时发生错误，就能通过 ILC 订定相关检查条件。

Layer 1	Layer 2	Type	Value	Enabled	DRC label	DRC subclass	Description	Delete
Bend_Area	Transition_Zone	Overlap	15.000	<input checked="" type="checkbox"/>	O	SOLDERMASK_TOP	Transition to Flex area from Rigid Area	<input checked="" type="checkbox"/>
Coverlay_Flex_2	Gold_Mask_Bottom	2 inside 1	10.000	<input checked="" type="checkbox"/>	G	SOLDERMASK_BOTTOM	Gold Fingers should not be covered by coverlay for plating and contact	<input checked="" type="checkbox"/>
Soft_Gold_Flex_1	Coverlay_Flex_1	1 inside 2	0.000	<input checked="" type="checkbox"/>	M	SOLDERMASK_TOP	Gold area in cover lay opening to ensure properly plating	<input checked="" type="checkbox"/>
Bend_Area	Stiffener_Flex_1	Gap	20.000	<input checked="" type="checkbox"/>	S	SOLDERMASK_TOP	Spacing of Stiffener to Bend Area to prevent Lifting of Stiffener	<input checked="" type="checkbox"/>

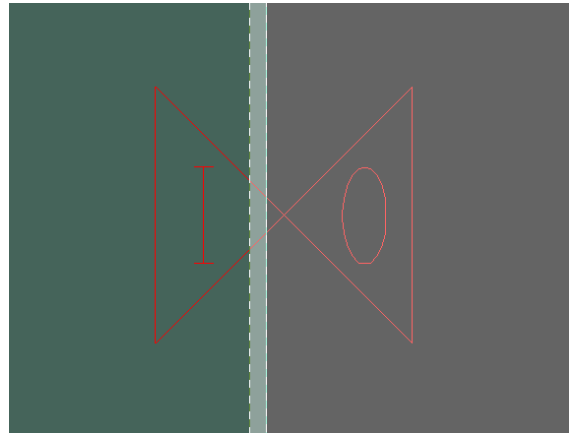
弯折区域对于 Pin, Via 的检查



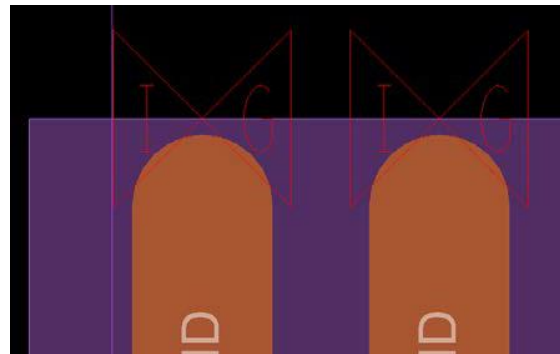
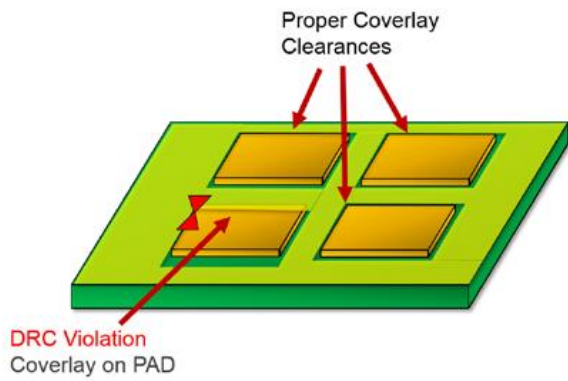
覆盖范围检查



Transition zone must overlap bend area by 15 mils.



层包层表面涂层与 Pad 隔离检查



Manufacturing Prep - Rigid-Flex Design

Multiple Stackup Table

Cross section chart 支持多种叠层的 stackup table.

MULTIPLE STACKUP TABLE									
Unit = mils									
#	NAME	TYPE	MATERIAL	RIGID-2	FLEX-3	FLEX-4	PRIMARY	FLEX-1	FLEX-2
1		SURFACE	ACR	0.000	0.000	0.000	0.000	0.000	0.000
2	STIFFENER FLEX 1	MASK	FR-4		8.000				
3	TIN PLATE TOP	MASK	TIN	0.500	0.500	0.500	0.500	0.500	0.500
4	ADHESIVE STIFFENER FLEX 1	MASK	ADHESIVE EPOXY		0.984			0.984	
5	COVERLAY FLEX 1	MASK	POLYIMIDE		8.000	8.000		8.000	8.000
6	ADHESIVE FLEX 1	MASK	ADHESIVE ACRYLIC		0.500	0.500		0.500	0.500
7	GOLD SOFT FLEX 1	MASK	POLYIMIDE						8.000
8	PASTEMASK TOP	MASK	SOLDER PASTE SAC				3.000		
9	SOLDERMASK TOP	MASK	SOLDERMASK FLEXIBLE LPI				0.591		
10	SOLDERMASK INTL	MASK	SOLDERMASK FLEXIBLE LPI	0.591					
11	PASTENASK INTL	MASK	SOLDER PASTE SAC	3.000					
12	TOP	CONDUCTOR	COPPER				1.200		
13		DIELECTRIC	FR-4				8.000		
14	INT 1	CONDUCTOR	COPPER	1.200			1.200		
15		DIELECTRIC	POLYIMIDE RIGID 5MIL	5.000			5.000		
16	FLEX 1	CONDUCTOR	COPPER	1.200	1.200	1.200	1.200	1.200	1.200
17		DIELECTRIC	POLYIMIDE FILM	3.000	3.000	3.000	3.000	3.000	3.000
18	FLEX 2	CONDUCTOR	COPPER	1.200	1.200	1.200	1.200	1.200	1.200
19		DIELECTRIC	POLYIMIDE RIGID 5MIL	5.000			5.000		
20	INT 4	CONDUCTOR	COPPER	1.200			1.200		
21		DIELECTRIC	FR-4				8.000		
22	BOTTOM	CONDUCTOR	COPPER				1.200		
23	PASTENASK BOTTOM	MASK	SOLDER PASTE SAC				3.000		
24	SOLDERMASK BOTTOM	MASK	SOLDERMASK FLEXIBLE LPI				0.591		
25	PASTEMASK INT 4	MASK	ADHESIVE ACRYLIC	0.500	0.500	0.500	0.500	0.500	0.500
26	SOLDERMASK INT 4	MASK	POLYIMIDE	8.000	8.000	8.000	8.000	8.000	8.000
27	GOLD HARD FLEX 2	MASK	POLYIMIDE		8.000				8.000
28	ADHESIVE FLEX 2	MASK	POLYIMIDE		8.000	8.000		8.000	8.000
29	COVERLAY FLEX 2	MASK	POLYIMIDE		8.000	8.000		8.000	8.000
30		SURFACE	ACR	0.000	0.000	0.000	0.000	0.000	0.000
TOTAL THICKNESS				30.391	47.884	46.900	52.381	39.884	46.900
ZONE NAME				ZONE_5	ZONE_8	ZONE_9		ZONE_4	ZONE_6
				ZONE_3				ZONE_7	
								ZONE_2	

Dynamic Fillets

动态泪滴，现在可对各层面进行设定。

Missing Tapers Report

新增的Report，可将缺少的渐变Taper trace报告出来。

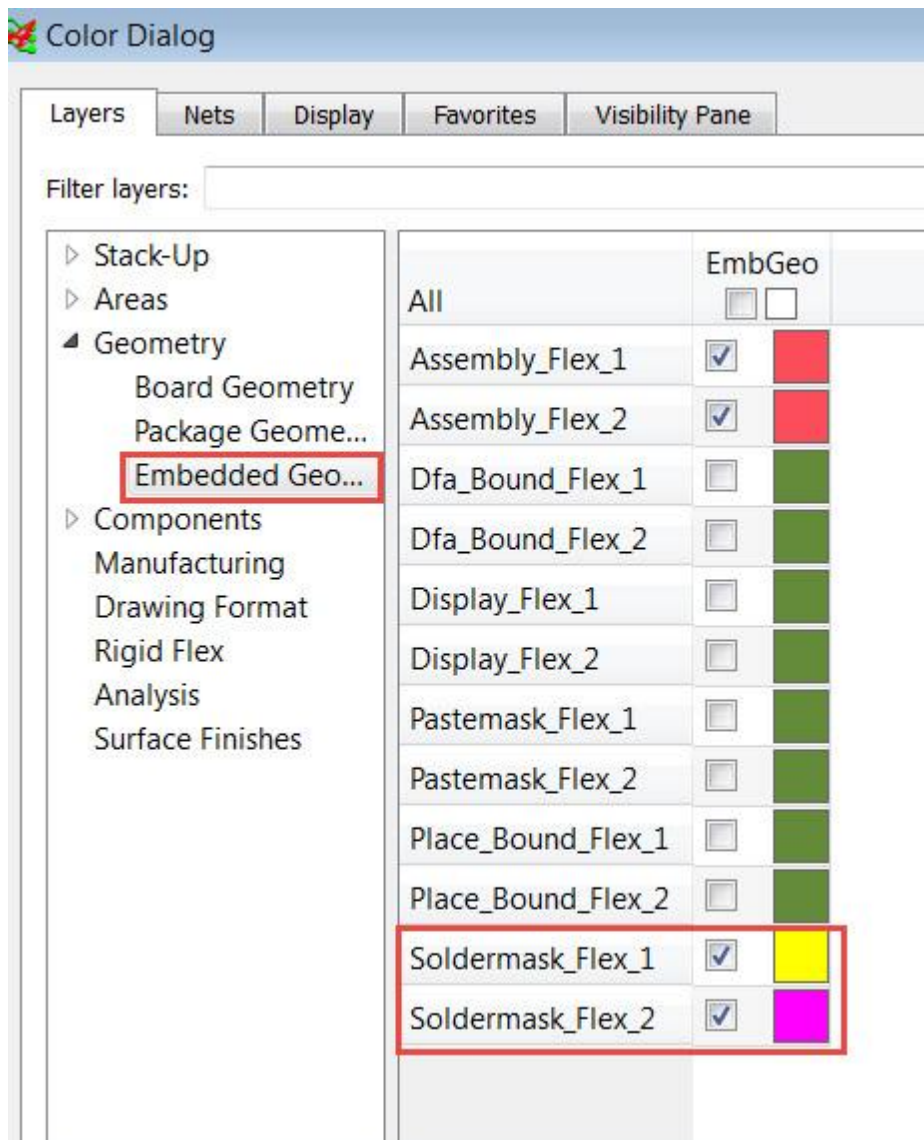
Embedded Component Design Updates

(Miniaturization Option)

Copy 指令支持Embedded package symbol

Swap component指令能针对dummy component 替换

新增 Embedded Soldermask subclasses



Backdrill Overhaul

(Allegro PCB Designer)

17.2 新版提供了两种设计流程可供使用，用户可以任选一种来决定设计将用何种方式进行。一是在器件库建立时就把 Backdrill 相关设定建立在 Padstack，后续在执行分析时能快速读取器件库内资料，省去后续设定所花费的时间；其二则是在 Backdrill Setup & Analysis 内直接进行相关的 Backdrill 设定。

Library-Driven Flow (Cadence Recommended)

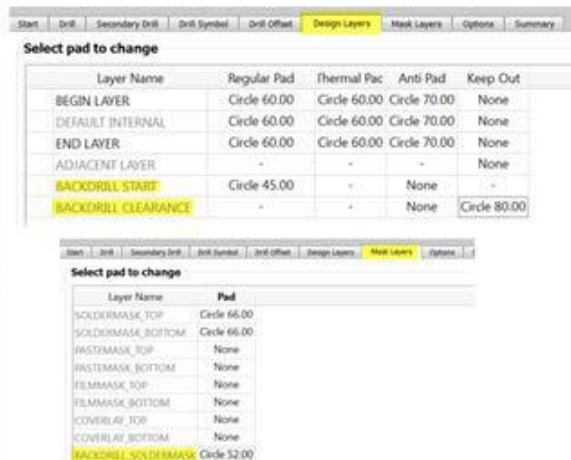
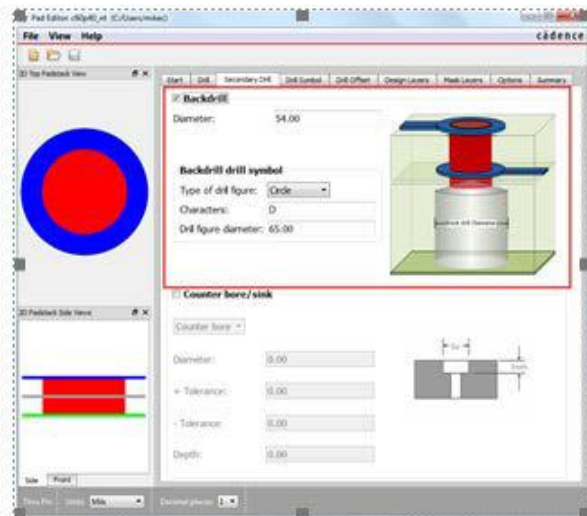
通过器件库的 Padstack 设定时建立 Backdrill 设定，其支持如下：

Backdrill tool diameter

Figure & characters for legend

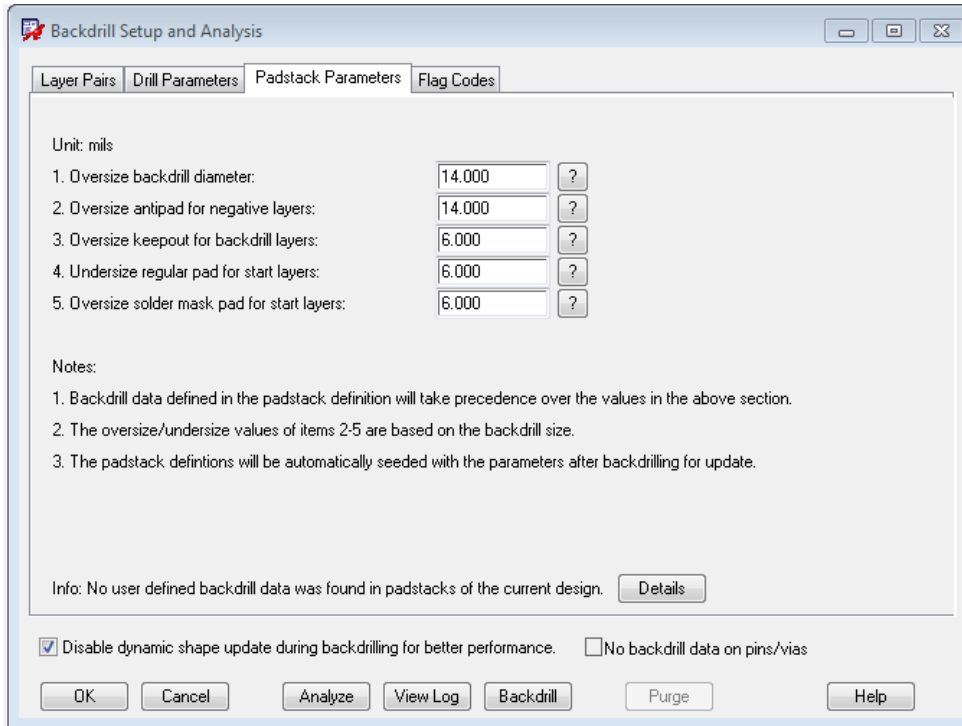
Keepout pad

Start layer pad/mask



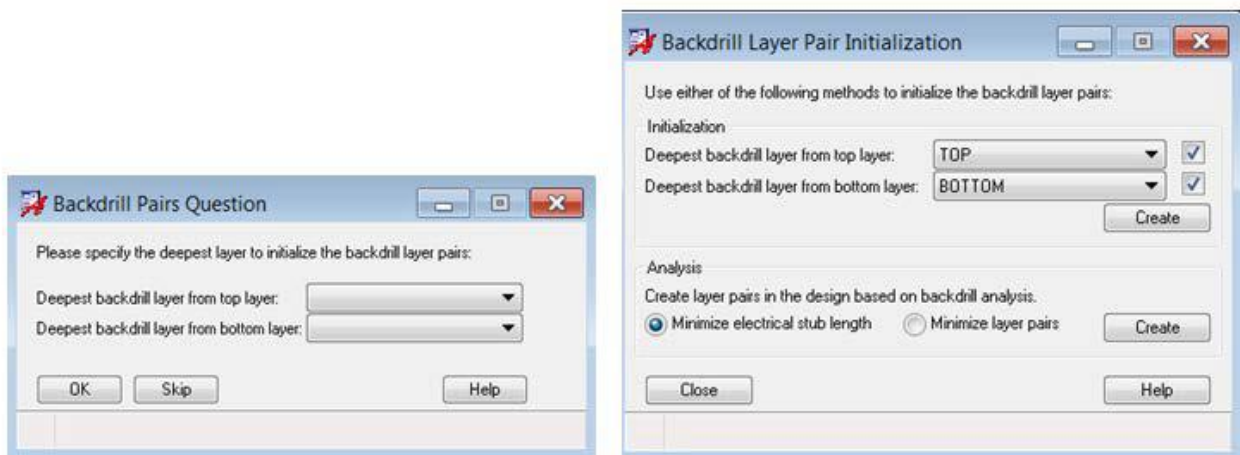
Quick Design Utility

如 Library 内的 Padstack 没有做 backdrill 定义, 可通过 Backdrill Setup & Analysis 接口设定。

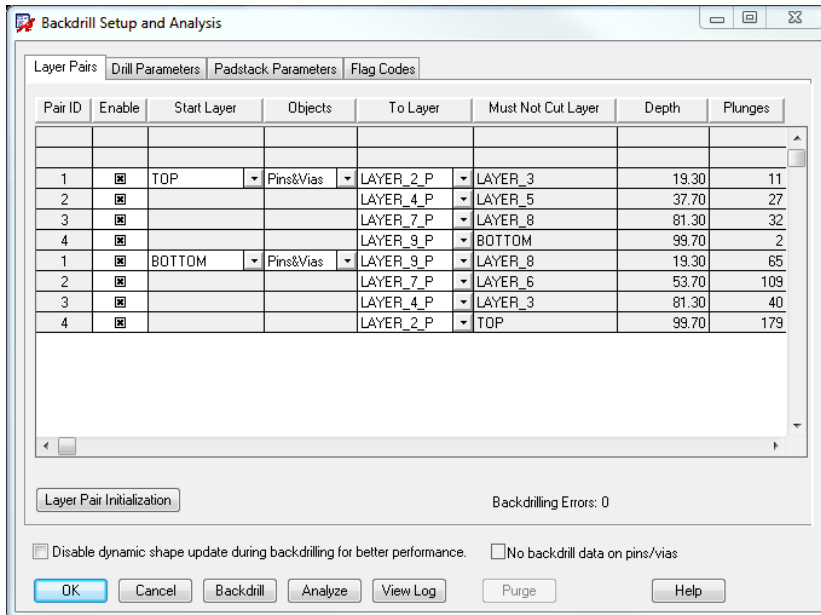


Layer Pair Initialization

依据设计需求快速产生 Backdrill layer pair。



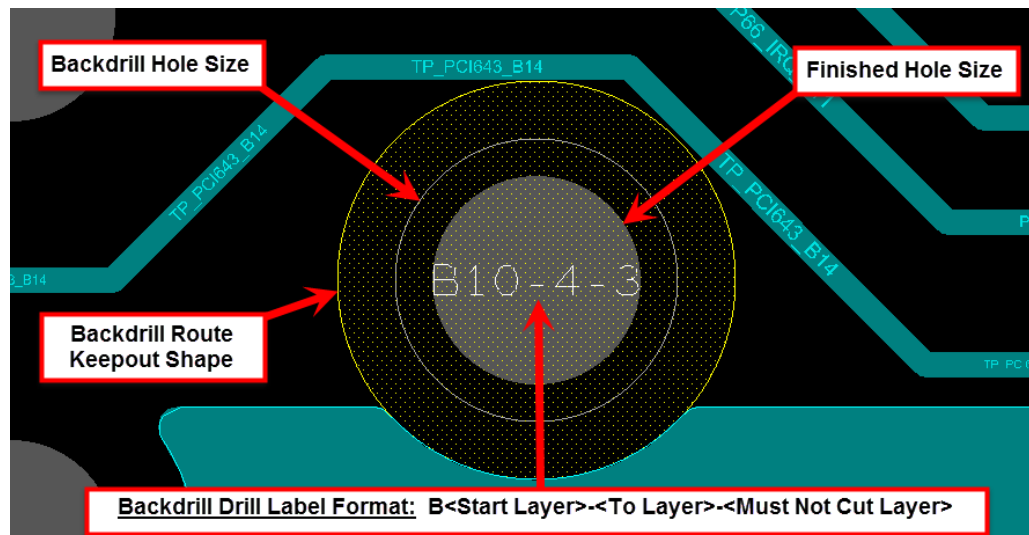
新的 Must Not Cut Layer 字段为连接层，Plunges 字段为该条件在 PCB 板上的数量。



Backdrill Canvas Display Controls

Backdrill 在工作画面中的显示信息更多元，更清晰。

当中会有 Label 显示 layer pair，一般的钻孔大小、Backdrill 钻孔大小及 keepout 范围。



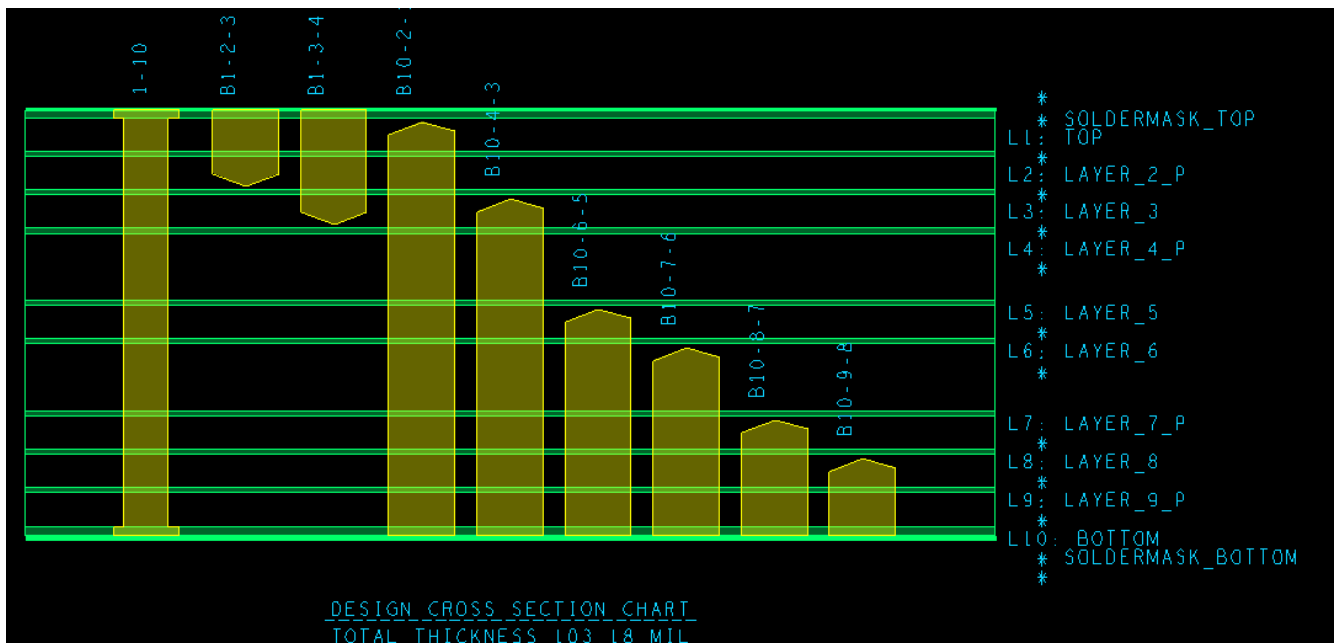
Backdrill NC-Drill Legend updates

将Backdrill的钻孔大小、最长深度及生产时预留Stub长度信息加入到Drill table 中，并且在 cross section chart也加入了相对应的数据显示。

BACKDRILL: BOTTOM to LAYER_7_P					
ALL UNITS ARE IN MILS					
FIGURE	BD_SIZE	MNC_LAYER	MAX_DEPTH	MFG_STUB	QTY
⊙	28.0	LAYER_6	53.7	8.0	18
+	52.0	LAYER_6	53.7	8.0	12
⊙	54.0	LAYER_6	53.7	8.0	77
⊙	60.0	LAYER_6	53.7	8.0	2

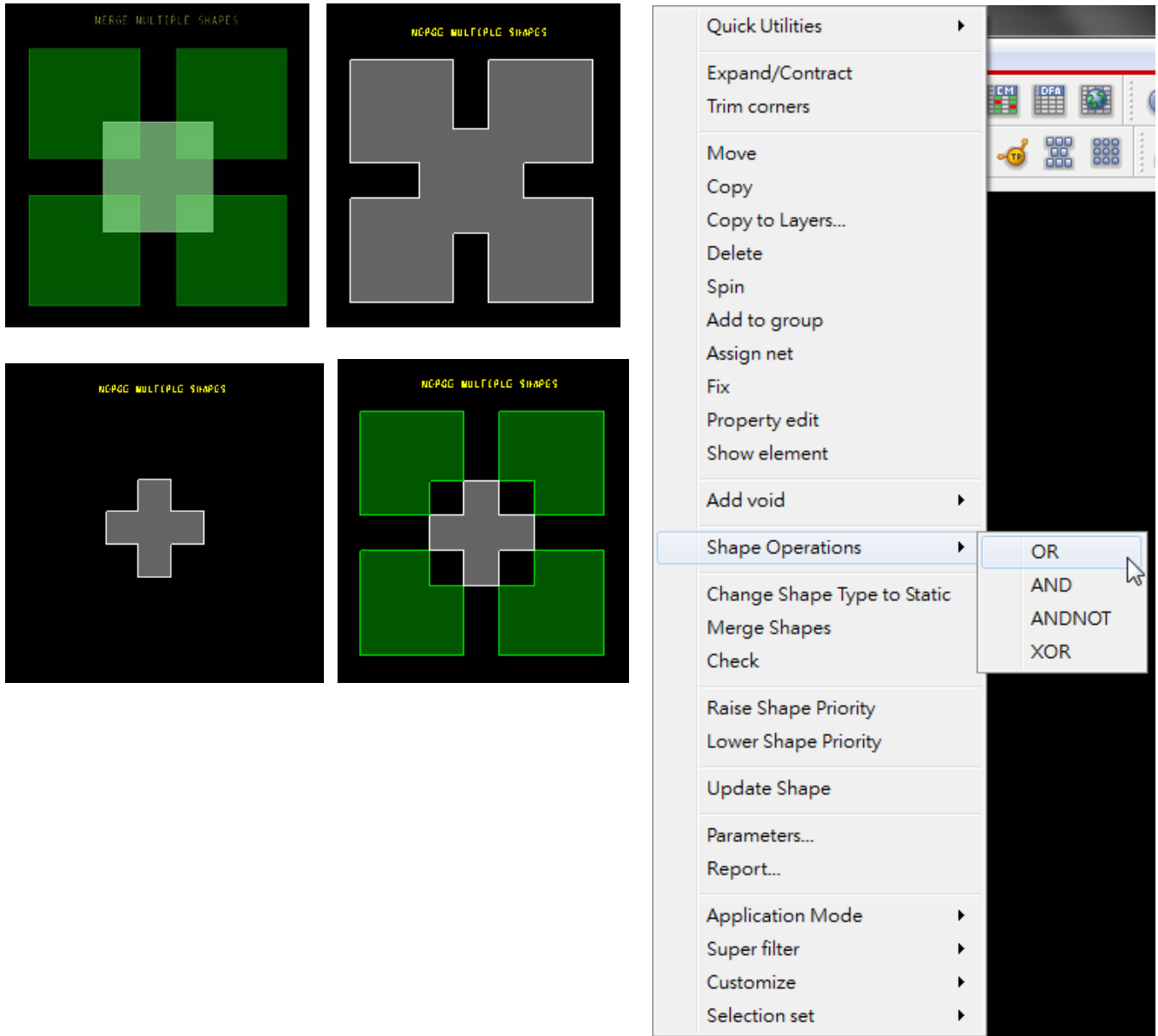
NOTES:

- MNC_LAYER: MUST-NOT-CUT-LAYER
- MAX_DEPTH: DEPTH FROM START LAYER TO THE SURFACE OF MUST-NOT-CUT-LAYER
- MFG_STUB : MANUFACTURING STUB LENGTH



Shape Edit Application Mode

16.6-2015 版本时新增可快速对 Shape 编辑的操作模式，在 17.2 新版延续良好的操作编辑特性，再加入了更多元的编辑指令。

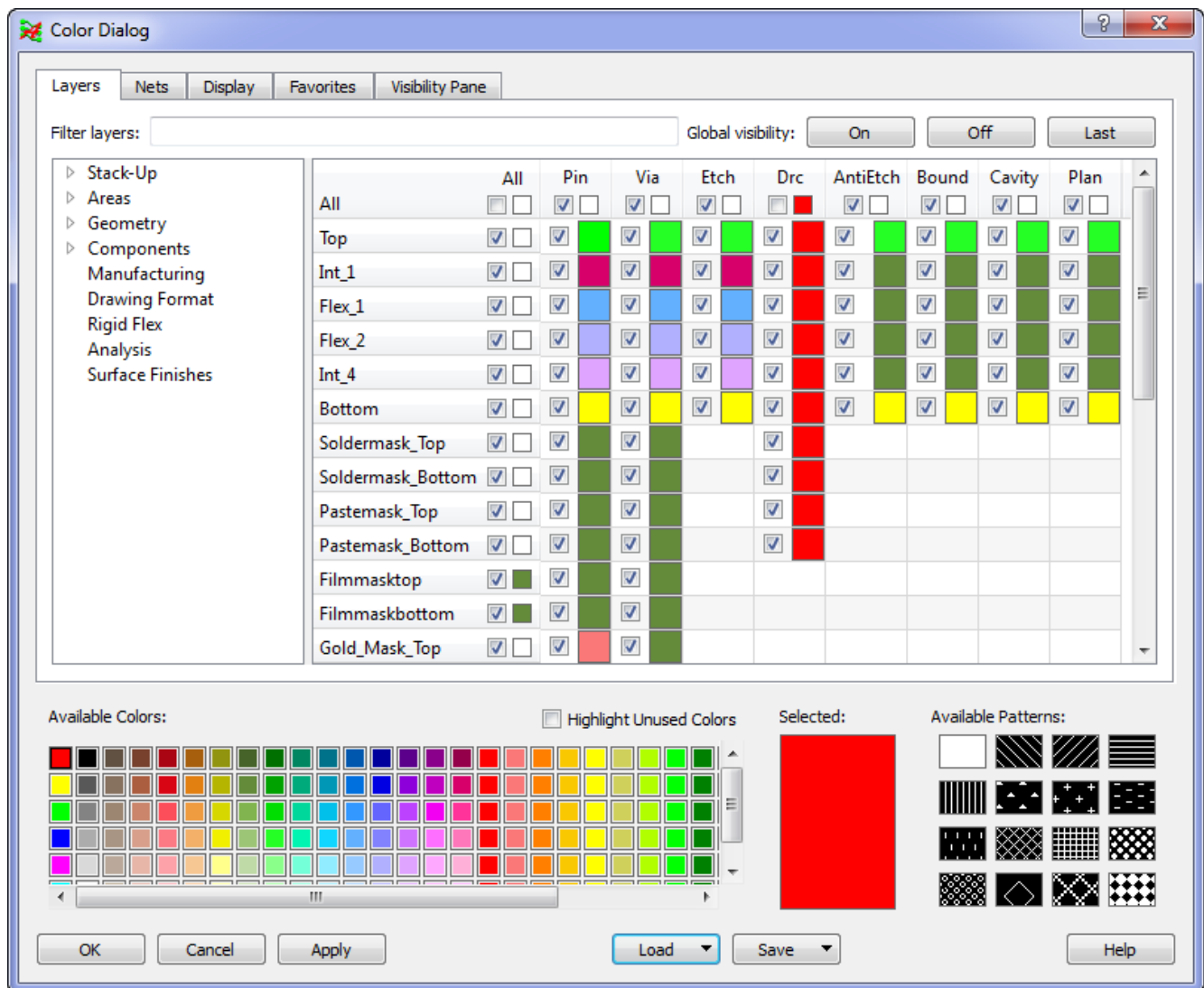


Color Dialog Enhancements

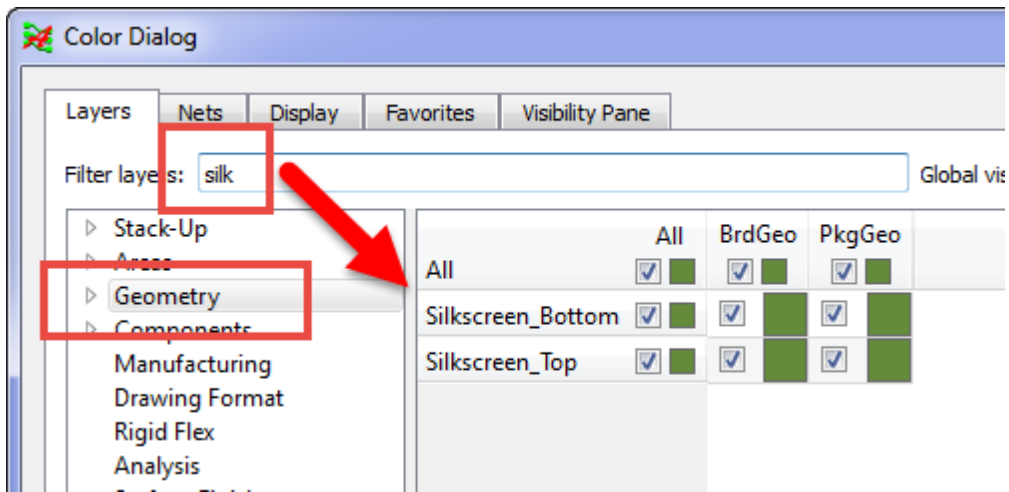
信息的呈现是很重要的一环，新的Color dialog将会让您以更快速更有效率的方式来操作使用。

Fresh New Look

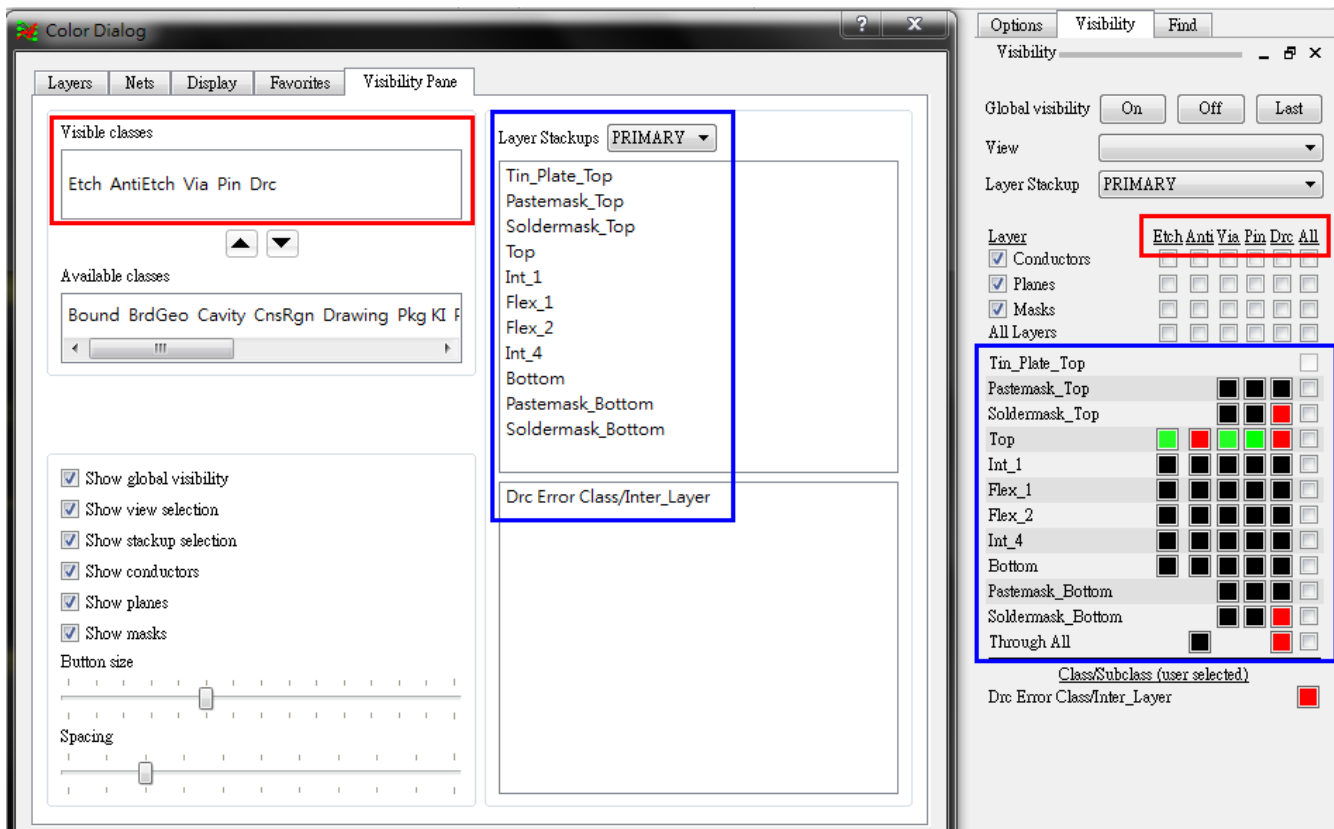
新窗体以标签页的方式来呈现 Layers / Nets / Display / Favorites / Visibility Pane。



并且能通过 Filter 快速筛选出想设定的对象出来。



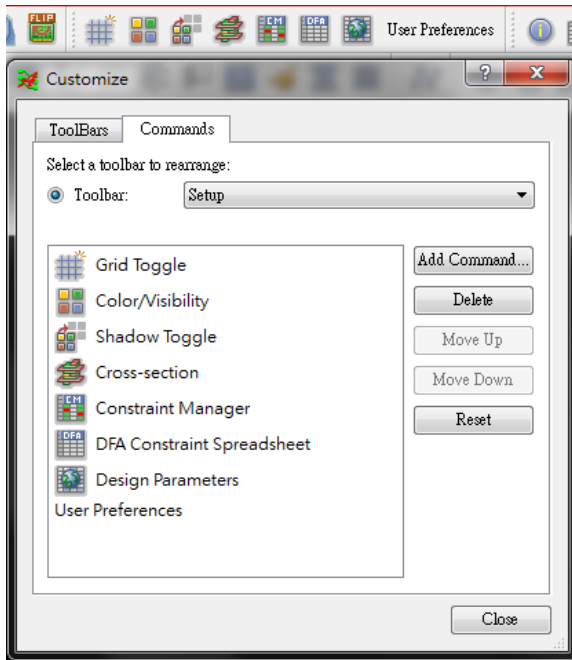
Visibility pane 可以控制显示对象种类，以及在多重叠层下各叠层显示的层面设定。



Canvas Enhancements

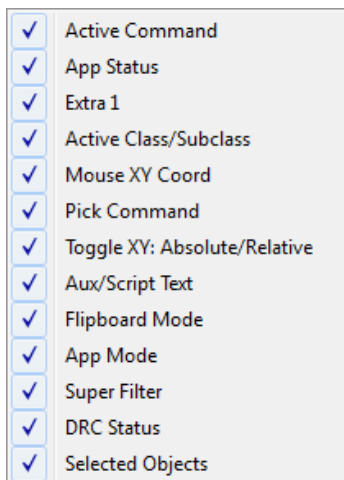
Customizable Toolbars

提供更个性化的自定义 Toolbar 弹性，现能给多个指令设置成一个 icon。



Status Bar – Show / Hide Selections

现在您可以设定 Status bar 上需要显示或隐藏的信息。

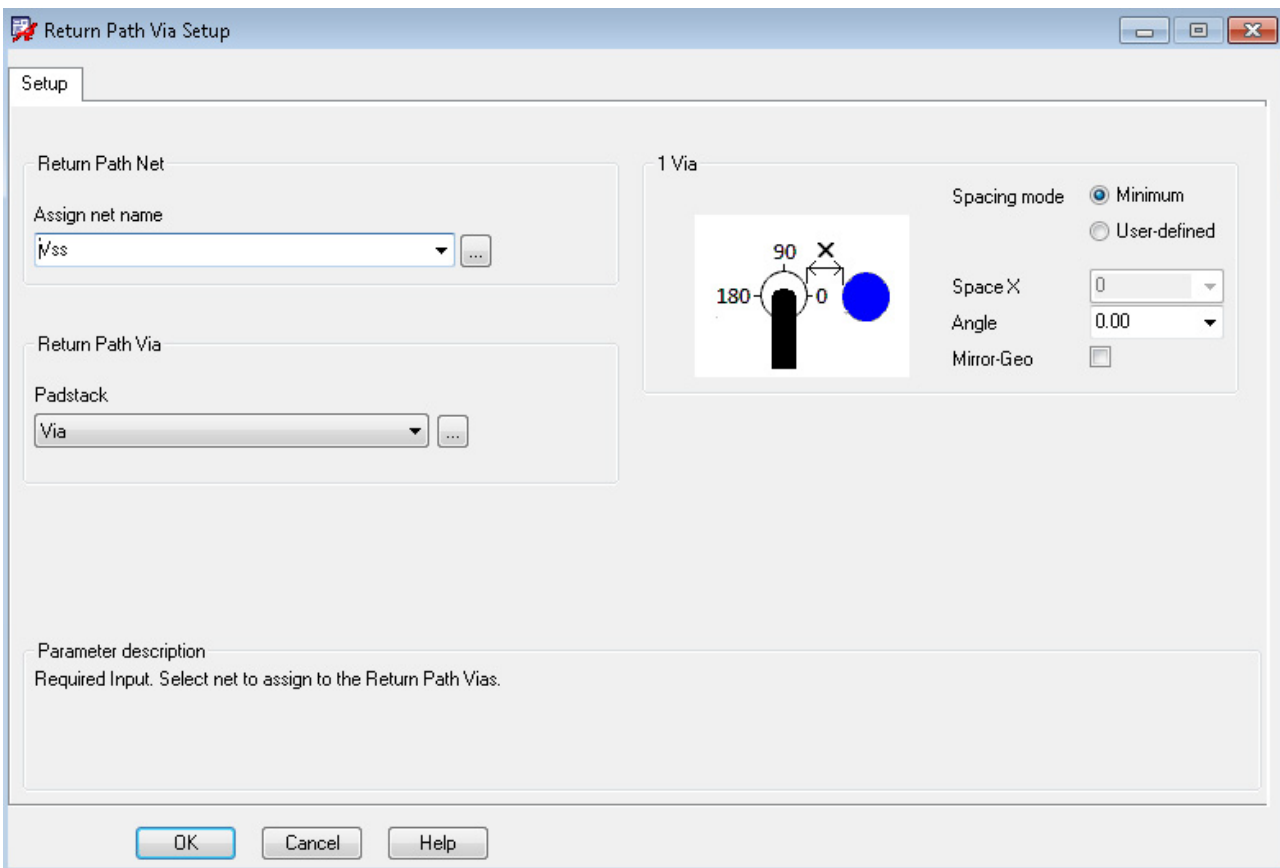
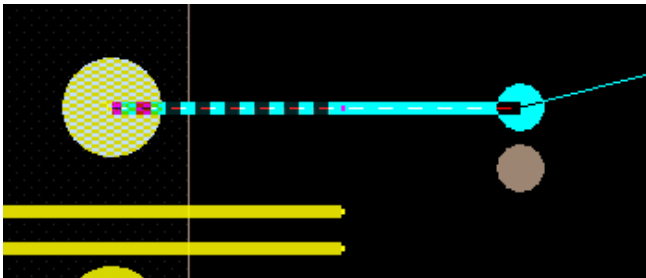


High Speed Interconnect Enhancements

Single Net Return Path Vias

(High-Speed Product Option, Unsupported Prototype)

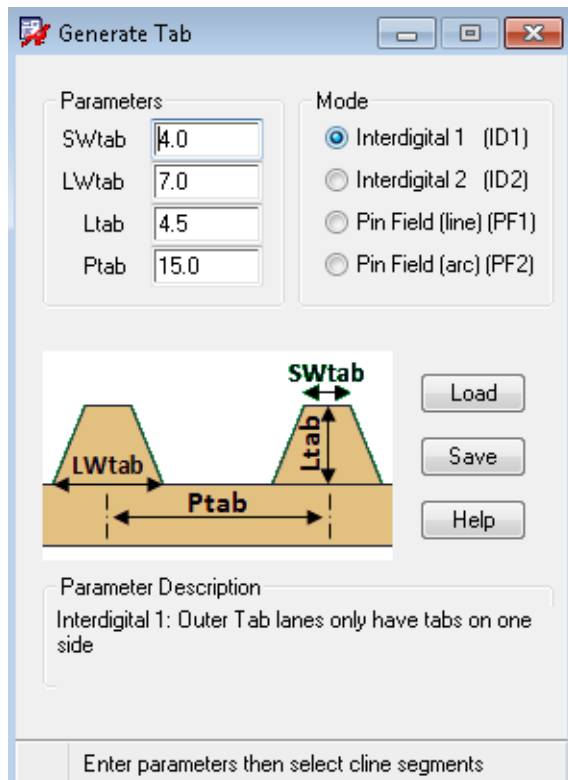
除了16.6版本对DP信号能对 vias 加上return path vias之外，在17.2版本也能够针对单一的高速信号走线的via加上return path via。



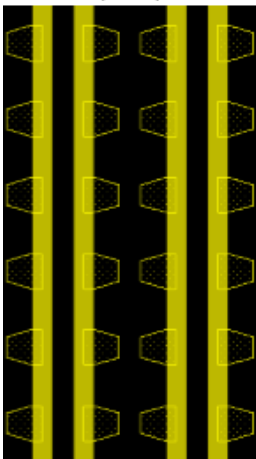
Tabbed Routing

(High-Speed Option, Unsupported Prototype)

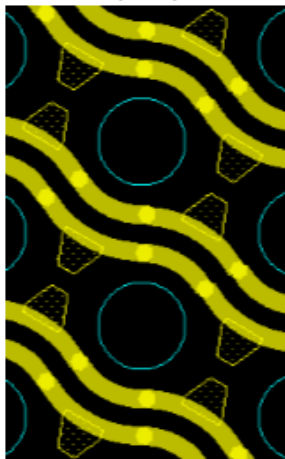
Tabbed routing 是新的布线方式，主要针对高速信号。在 Breakout 的平行走线间加入梯型 Shape 在其走线上面做为控制阻抗(Impedance)及减低在开阔区域的远场串扰(Crosstalk)问题。



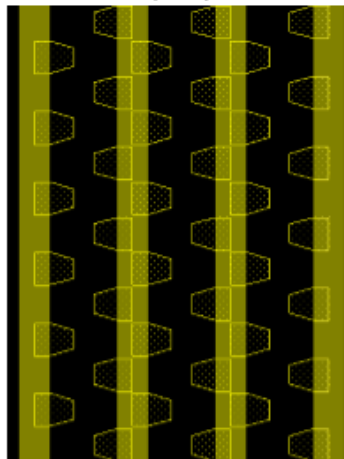
Pin Field Line
(PF1)



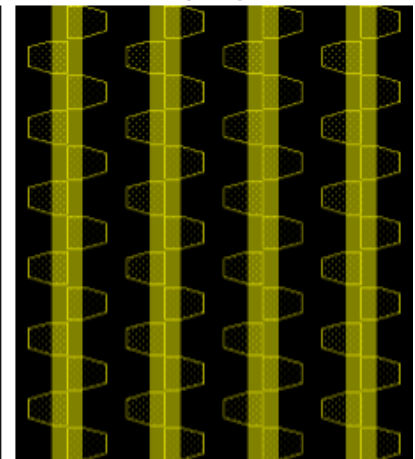
Pin Field Arc
(PF2)



Interdigital 1
(ID1)



Interdigital 2
(ID2)



Via Structures

Create via structure 指令能让用户建立两种型态的via structure，分别为Standard 及High Speed，且能够产生XML 格式的文件方便再套用到别的PCB / SiP project，如同摆放零件的方式般使用。

(High Speed via structure 需搭配High-Speed Option)

Standard Via Structure

选择命令：Route – Via Structure – Create – Standard

使用目的：单一讯号的Trace / Via以及Fan-out

支持对象：Traces, Vias

连接属性：需要所有的Via都有连接 (单一讯号)

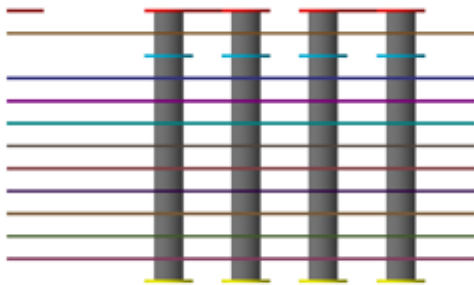
High Speed Via Structure

选择命令：Route – Via Structure – Create – High Speed

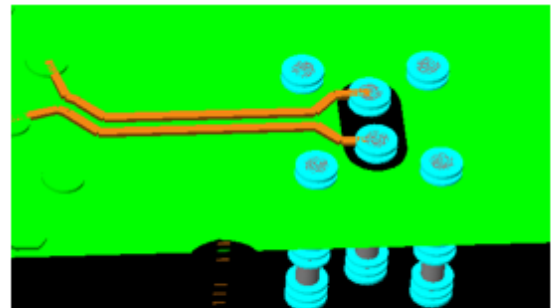
使用目的：Differential pair via 搭配 Return Path Vias 及 custom plane voids

支持对象：Traces, Vias, Static Shapes (no voids), Route Keep out

连接属性：多信号



Standard Via Structure

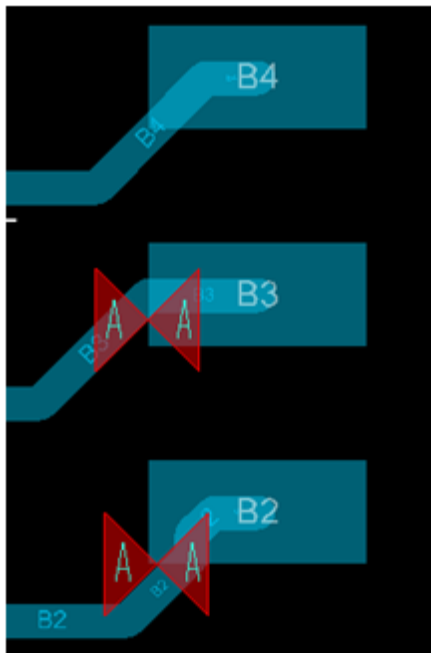
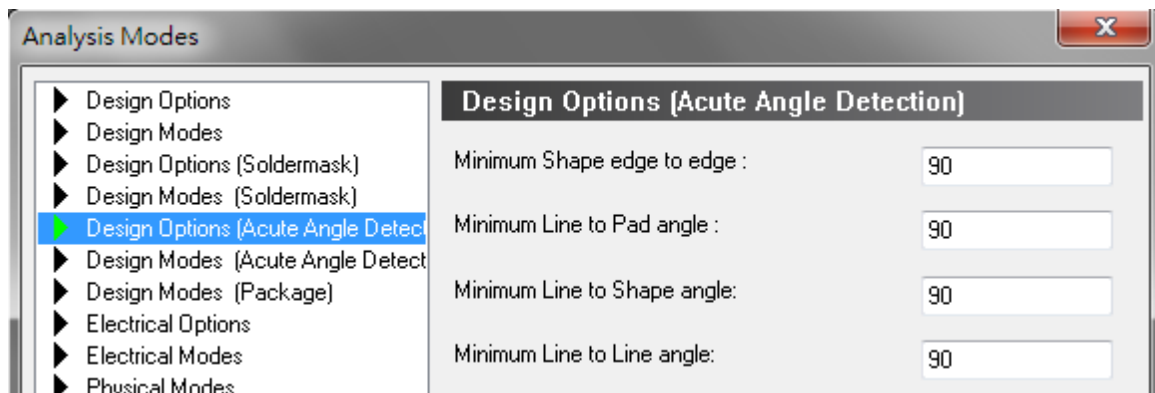


High Speed Via Structure

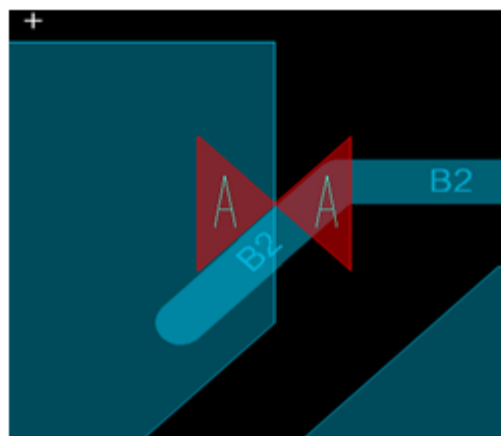
Acute Angle Detection

对于锐角的检查，使用者可以通过定义锐角角度来将以下四种情况进行确认。

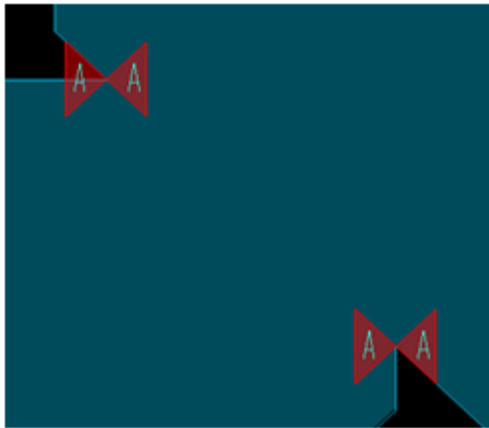
- Line to Pad
- Line to Shape
- Shape Edge to Edge
- Line to Line



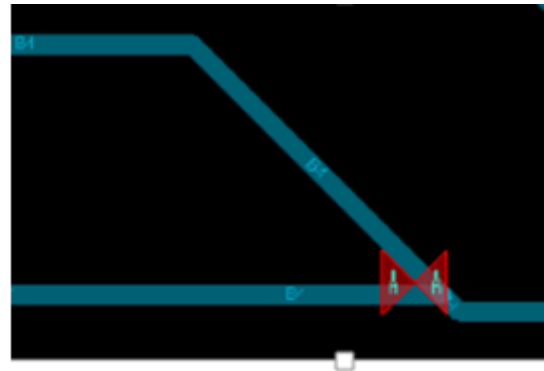
Line to Pad



Line to Shape



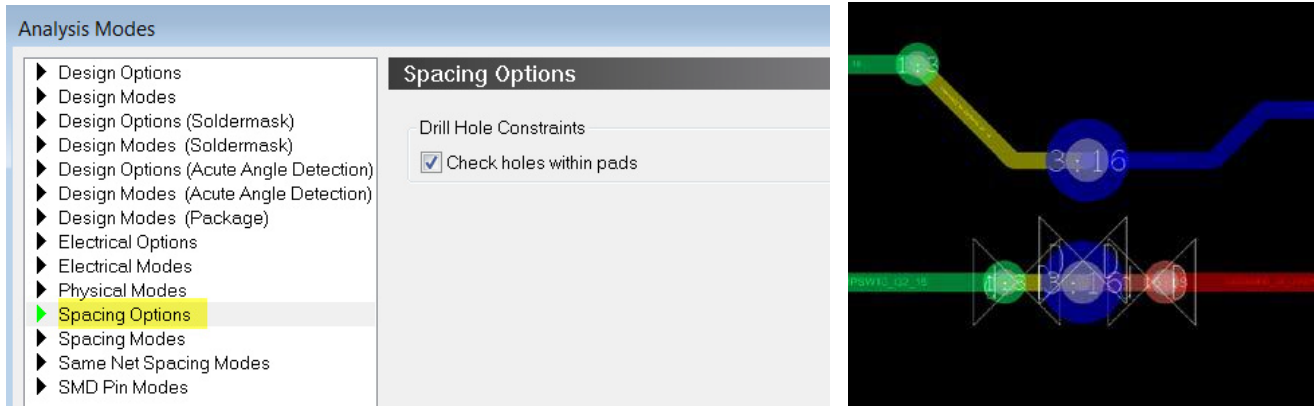
Shape Edge to Shape Edge



Line to Line

Drill Hole DRC

通过Check holes within pads的设定，无论Hole有无Pad，都会根据CM Spacing 内Hole的间距设定执行检查。



OrCAD Layout Footprint Libraries Added to PCB Editor Libraries

PCB Editor 加入了OrCAD Layout 的Footprint 器件库可作为参考设计修改使用，该器件库存放于<installation_directory>/share/pcb/pcb_lib 内。

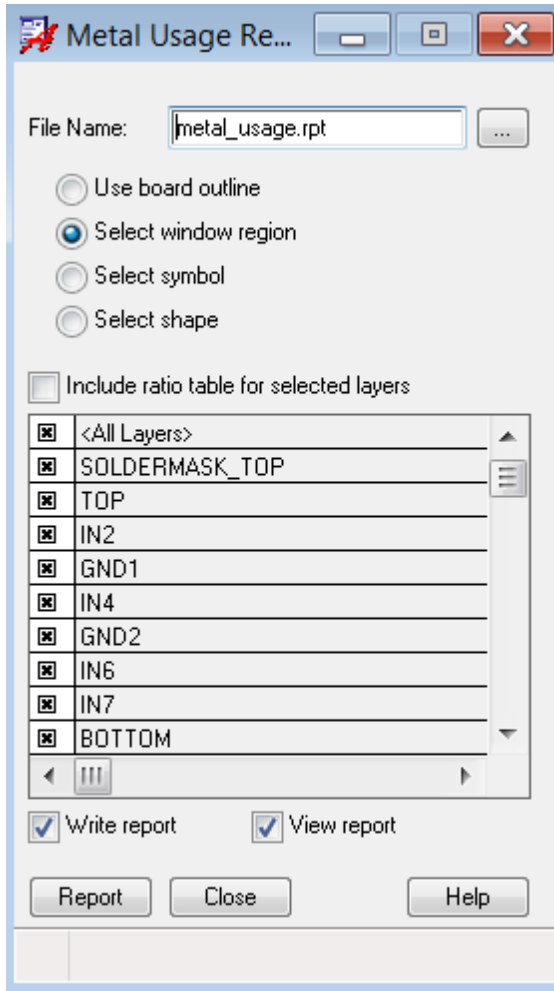
零件库内容如下：

- Block Connectors
- Ball Grid Arrays
- GLCC
- D-Connectors
- Dimm Edge Fingers
- Dimm Sockets
- DIN Connectors
- DIP 100 (Buttmount and Standard)
- D-Sub Connectors
- D-Sub High Density Connectors
- Edge Connector Sockets
- Future Bus Connectors
- PC/104
- PCI
- Ploar/Friction Connectors (.100 and .156)
- Pin Grid Arrays
- PLCC
- Gull-Wing Quads
- Gull-Wing Bumpered Quads
- Relays
- RF Connectors
- Sbus Connectors
- SIMM Edge Fingers (0.50 and .100)
- SIMM Sockets (0.50 and .100)
- SIP's
- SM Discrete Components
- SM SO Gull-Wing Families
- SM SO J-lead Family
- Telecomm Connectors
- TM Axial-Lead
- TM Capacitors
- TM Cylindricals
- TM Diodes
- TM Discs
- TM Radial-Leaded
- TO's
- Variable Resistors
- Wall/Shroud Connectors .100
- XT
- ZIGZAG .100 Staggered Rows

Database and Misc Enhancements

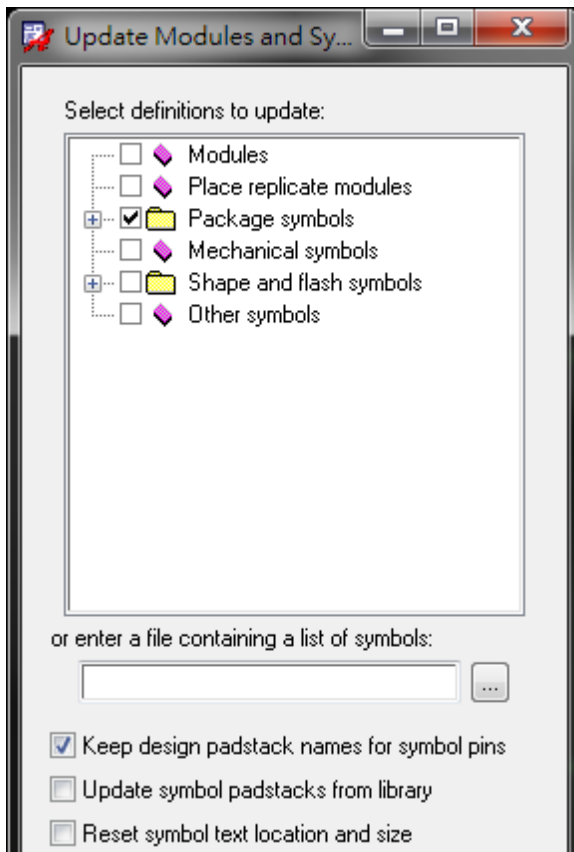
Metal Usage Report

APD / SiP 上的Metal Usage Report 现在能在PCB 上产出报告。



Refresh Symbol – Maintain Padstacks

如果设计当中有对零件包装进行Replace Padstack，那么在Refresh Symbol 时能够选择是否要保留现在设计中的Padstack 名称而不被刷新。



Performance Improvements

CPU 效能提升10-20%。

Import logic 对于有很多Pin 数的Device(> 2k pins)条件时，处理速度比以往都要快。

Design Length Enhancement

Default internal 的名称长度由原本的32 个字符现可增加到255 个字符。

Material Name Length Enhancement

Material 的名称长度可定义19到250个字符。

联系方式

科通数字技术有限公司

总部：深圳市南山区高新南九道微软科通大厦 8-11 层

产品经理：王其平

手机：18049720018 邮件：QipingWang@comtech.com.cn

地址：上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

华东地区

联系人：陈敏敏

手机：18017922811 邮件：PeterChen@comtech.com.cn

地址：上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

华南及西部地区

联系人：谭波涛

手机：15920086575 邮件：terrytan@comtech.com.cn

地址：深圳市南山区高新南九道微软科通大厦 8-11 层

华北地区

联系人：党建成

手机：18010161381 邮件：SudyDang@comtech.com.cn

地址：北京市海淀区中关村大街 1 号海龙大厦 14 层北区 1418-21