



OrCAD 17.2-2016 新功能介绍

Cadence 发布新版本 OrCAD 17.2-2016, OrCAD 提供完整的电子设计解决方案, 包含电路设计、仿真与 PCB 布局, 相关 OrCAD 17.2-2016 产品及其新功能请参考本文档介绍。

Cadence 17.2-2016 新发布

- Cadence 17.2-2016 仅支持 64 位操作系统。
- Cadence OrCAD、Allegro 产品的相关应用软件调整路径构架。
 - Cadence OrCAD、Allegro 17.2-2016 的相关应用软件放置路径调整至 17.2-2016 安装路径中的 /tools/bin 文件夹下。因此环境变量 'path' 中将可不需定义 pcb/bin 及 fet/bin 文件夹路径。而运行 Cadence OrCAD、Allegro 17.2-2016 相关软件也无需设置 17.2-2016 的相关路径和环境变量 'path' 中。
 - Cadence SPB Switch Release 17.2-2016 软件工具已更新, 可辨别不同软件版本间的软件构架不同, 用以自动更新软件文件夹联系关系。
 - 若您使用命令提示窗口或批处理文件 (batch file) 执行批处理程序 (batch programs), 请将您原批处理文件加入 17.2-2016 安装路径下的 /tools/bin 文件夹下的 allegro_cmd.bat 文件。
- OrCAD Products 支持 TCL 8.6 64 位。

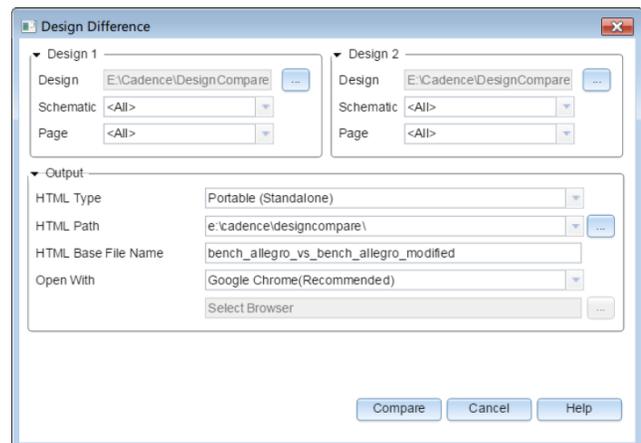
OrCAD Capture 17.2-2016 新功能

设计差异对比

当两份电路图有所差异时, 通过 Capture Compare Design

功能可以选择对原理图文件夹或是原理图图纸页面做差异对比, 对比结果可查看原理图逻辑或是图形的差异。

在 Capture 命列菜单中, 选择 Tools - Compare Designs 功能菜单来进行原理图的差异比对。

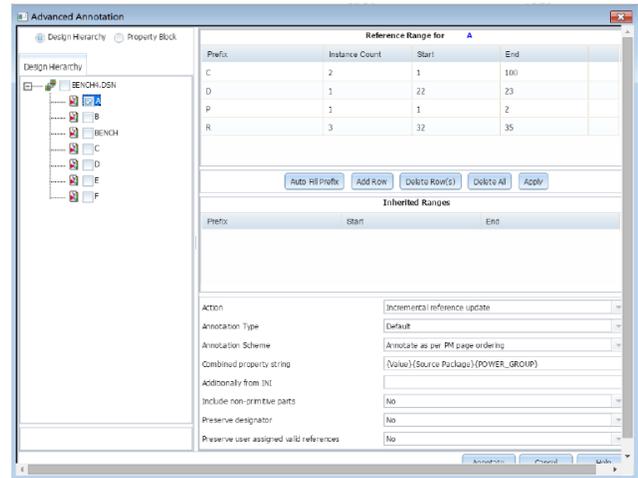


比对后将显示结果概要。通过 Show Details 功能可打开浏览器查看实际结果差异。

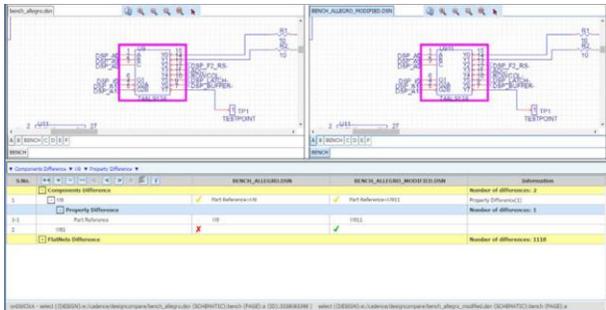
Design Difference Summary

Differences generated using **Object ID**. Regenerate using [Object Name / Part Reference](#).

Logical Differences		All Differences	
Show Details		Show Details	
Object	Number of Differences	Object	Number of Differences
Components	2	Schematic	1
Pin Net Connectivity	0	Page	7
FlatNet	16	Components(Logical Differences)	2
		Components(All Differences On Matching Pages Only)	2
		Pin Net Connectivity	0
		FlatNet	16
		Wire	19
		OffPage	19
		Hierarchical Port	0
		TitleBlock	7

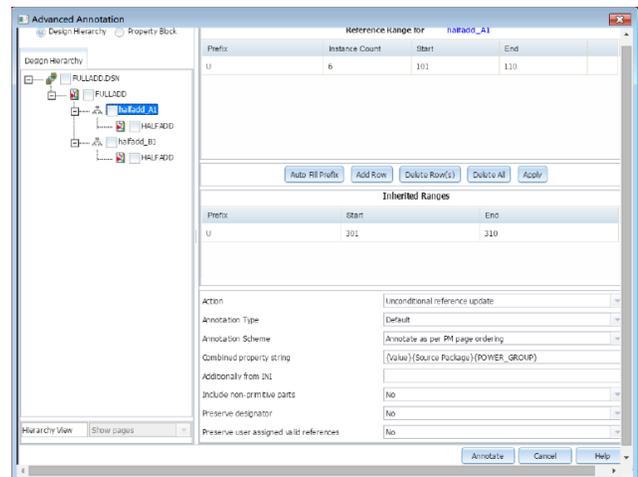


另可对层次式电路中，不同层次设置不同序号起始设置。

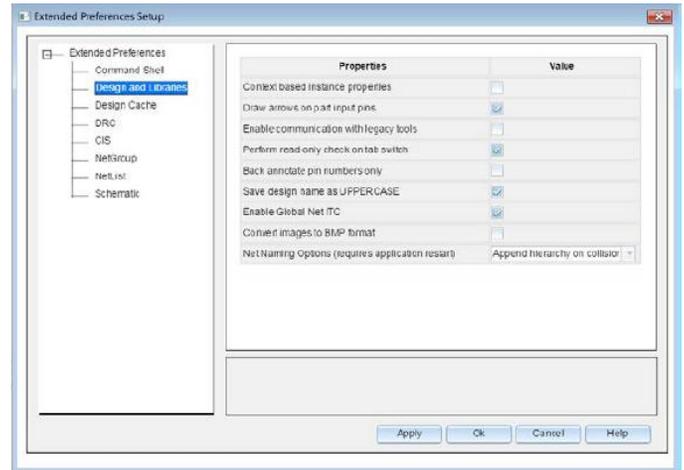
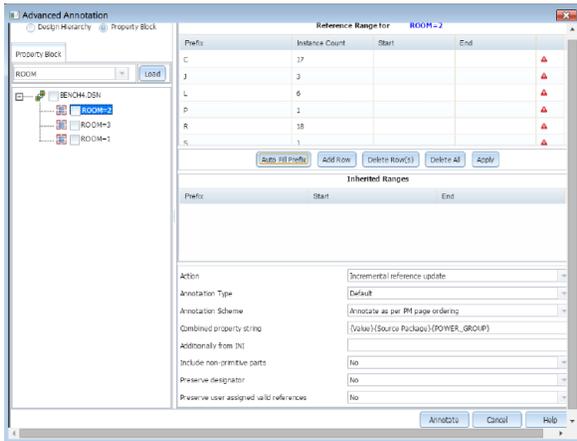


进阶的器件序号编排

在 Capture 中新增了进阶器件序号编辑的功能,在这个功能中,你可以针对不同原理图图纸页面设置不同的器件序号起始值外,也可以针对同一页原理图图纸不同器件设置不同的起始序号。



可对不同属性的器件，区分不同群组序号编辑。



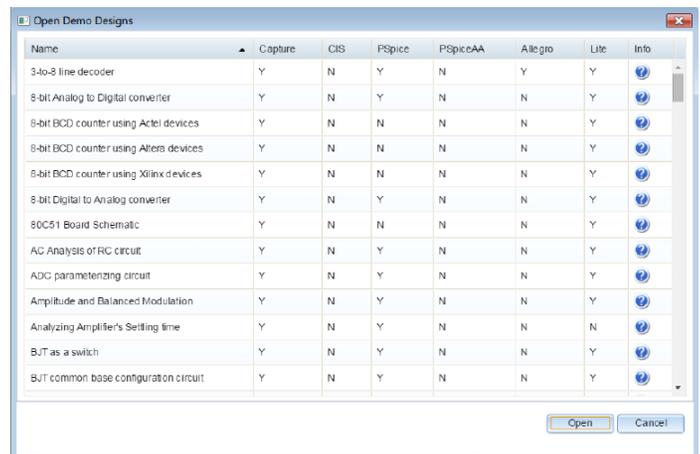
新增个人工作环境设置

OrCAD Capture 现在对使用者环境设置, 有更加完善的界面, 使用功能选单中的 Option-Preference-More Preference 进入设置窗口。在新的 Extended Preferences Setup 中, 可以针对以下环境做进一步设置:

- 命令壳层 (Command Shell)
- 设计及器件库 (Design and Libraries)
- 设计缓存 (Design Cache)
- 设计规则检查 (DRC)
- OrCAD Capture CIS (CIS)
- 网络群组 (NetGroup)
- 网表 (NetList)
- 原理图 (Schematic)

案例设计浏览

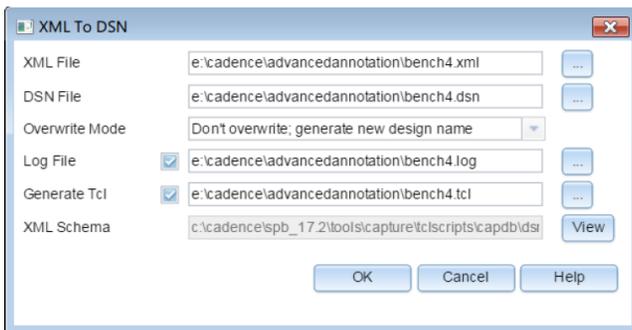
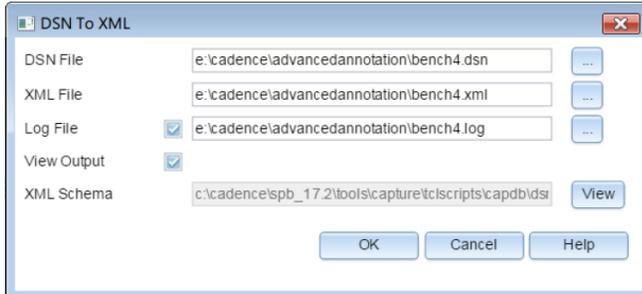
在 Cadence 17.2-2016 软件安装目录中, 整合并提供了 150 个以上的案例让用户可以快速了解及学习 OrCAD Capture、OrCAD Capture CIS 以及 OrCAD Capture - OrCAD PSpice 设计流程的设计。在 OrCAD Capture 17.2-2016 中, 可以简单地通过 File - Open - Demo Design 的功能菜单打开自带案例文件。



XML 文件格式的输出与输入

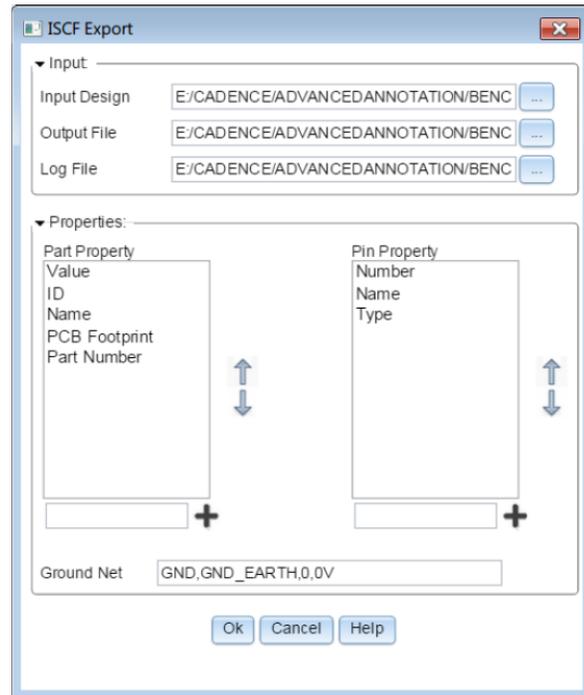
OrCAD Capture 使用 File - Export - Design XML 或 Library XML 命令以及 File - Import - DesignXML 或 Library XML 命令, 可以通过程序安装目录中 %cdsrrot%\tools\capture\tclscripts\capdb\dsn.xd\olb.xd

程序将原理图、器件库输出为 XML 格式，以及将 XML 格式重新载入成为标准原理图、器件库。



Intel Schematic Export Format (ISCF) 格式输出

OrCAD Capture 可以使用 File - Export - ISCF 接口针对原理图器件、Pin 属性与接地信号输出 Intel Schematic Export Format (ISCF) 格式。此格式可以通过用户接口设置器件或器件 Pin 属性的输出，输出后这些设置将被存档于 Caputre.ini 文件中以便下次使用不需重新设置。



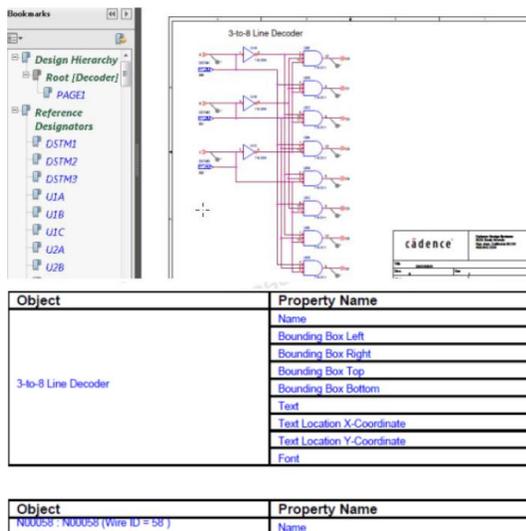
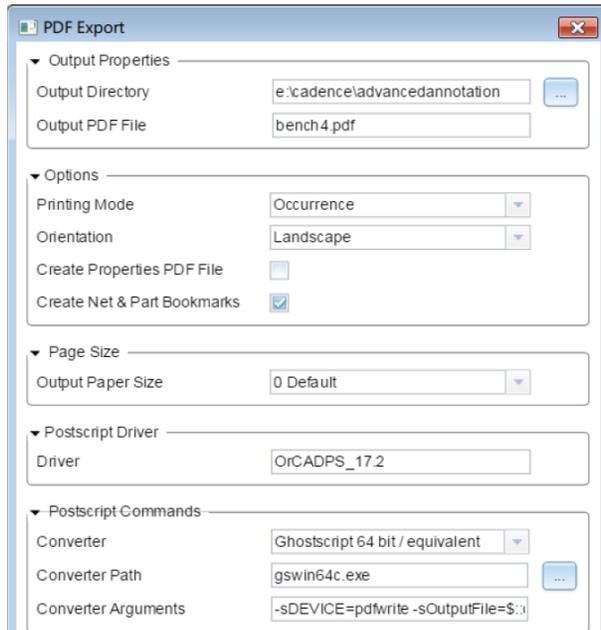
PDF 文件输出

从 OrCAD Capture 17.2-2016 版本后，若你的计算机有安装 ghostscript 32 位、ghostscript 64 位、Adobe Acrobat Distiller...等程序，可以使用 File - Export - PDF 的功能命令将原理图直接导出为 PDF 文件。导出内容包含：

- OrCAD Capture 设计
 - 显示设计层次构架
 - 显示器件序号列表
 - 显示网络和与其连接的 PIN
 - 可下降至层次式模块内的设计
 - 点选对象可以显示对象属性
 - 导览显示 off-page connector 的连接

- OrCAD Capture 设计对象

此对象支持与 OrCAD Capture PDF 文件的 cross-probing 功能。



新增 OrCAD PSpice 仿真模型于 Capture - PSpice 设计流程 OrCAD Capture 对于 Capture - PSpice 设计流程, 新增 OrCAD PSpice 仿真模型, 如下表。

Model	Library Added In	Library Path
TNY274-80	swit_reg	<Installation directory>\tools\capture\library\pspice
PC457	opto	<Installation directory>\tools\capture\library\pspice
HCPL-M453	opto	<Installation directory>\tools\capture\library\pspice
PS8101	opto	<Installation directory>\tools\capture\library\pspice
GTO	breakout	<Installation directory>\tools\capture\library\pspice

其他项目的新增功能

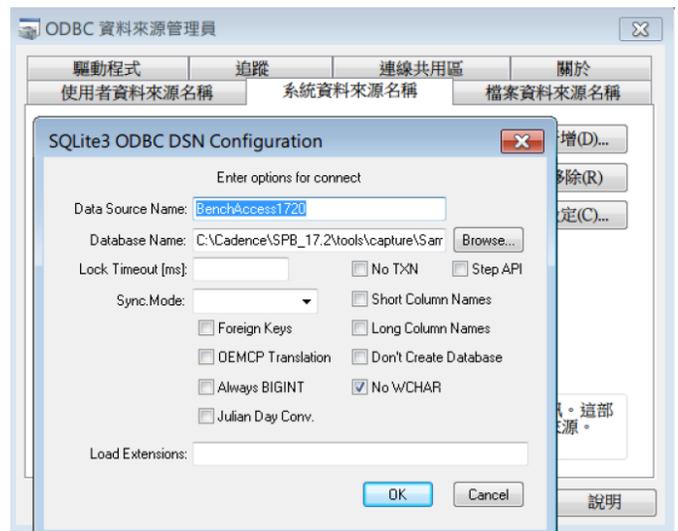
针对原理图 Intersheet Reference 功能, 增加对 X 轴方向可偏移的设置, 可设置负数值做偏移位置设置。

OrCAD Capture CIS 17.2-2016 新功能

水晶报表 (Crystal Report)

OrCAD Capture CIS 17.2-2016 版本默认针对 ODBC 链接数据库与水晶报表(Crystal Report)的连接方式改使用 SQLite 连接到数据库中。连接信息如下:

```
DRIVER=SQLite3 ODBC Driver;Database=" SQLite DB file Name ";LongNames =0;Timeout = 1000;NoTXN = 0;SyncPragma=NORMAL;StepAPI=0;NoWCHAR=1;
```

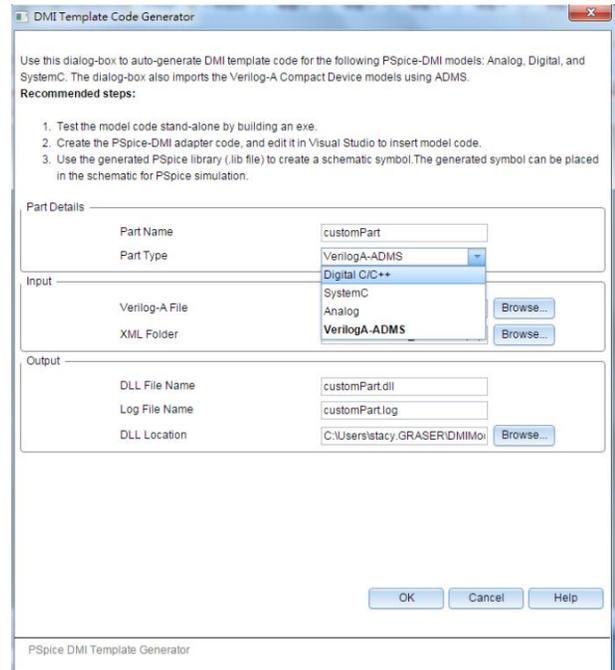


OrCAD PSpice 17.2-2016 新功能

PSpice DMI (Device Modeling Interface) Template Code 产生器 PSpice 17.2-2016 可使用 PSpice 模型编辑器 (Model Editor) 的 DMI (Device Modeling Interface) Template Code 产生器生成 PSpice 连接码 (Adaptor code)。PSpice 连接码启动 PSpice 仿真时使用 PSpice DMI DLL 文件。将模拟基础器件、数字的 C/C++ 及 SystemC 模型 (Model) 的模型码 (Model Code) 加入 PSpice 连接码中并使用 Microsoft Visual Studio Express 2013 建立 PSpice DMI DLL 文件。当 PSpice DMI DLL 文件产生后, 将其对应的 PSpice 模型 (.lib) 使用 PSpice 模型编辑器快速建立 OrCAD Capture 器件, 便可运用此 PSpice 模型于 PSpice 设计仿真流程中。

PSpice DMI Template Code 产生器提供以下器件类型:

- 模拟基础器件
 - 通用器件 (Generic device)
 - 电压控制电压源 (Voltage-Controlled Voltage Source)
 - 相依电压源 (Function-Dependent Voltage Source)
 - 电压控制电流源 (Voltage-Controlled Current Source)
 - 相依电流源 (Function-Dependent Current Source)
 - 两节点器件 (Generic Two-Node Device)
 - 三节点器件 (Generic Three-Node Device)
 -
- 数字 C/C++ 基础器件
- SystemC 基础器件
- Verilog-A 基础器件



新增行为仿真模型的延迟 (Delay) 功能

DelayT() 及 DelayT1() 功能简化传统上使用的延迟功能, 例, TLINE 及 Laplace 函数, 其减少在收敛上的问题, 并比传统功能信号 (电压或电流) 有更快的计算。

- DelayT() 功能的语法为 `delayt(v(x), <delay time>, <maxdelay>)`
例: `E2 out 0 value {delayt(V(x), 5m, 10m)}`
- DelayT1() 功能的语法为 `delayt1(v(x), <delay time>)`
例: `E2 out 0 value {delayt1(V(x), 5m)}`

.OPTIONS 命令的 Flag 选项新增 SKIPTOPO

当 Flag 选项设置 SKIPTOPO = 1 时, 则 OrCAD Capture 将跳过拓扑检查 (topology checks)。

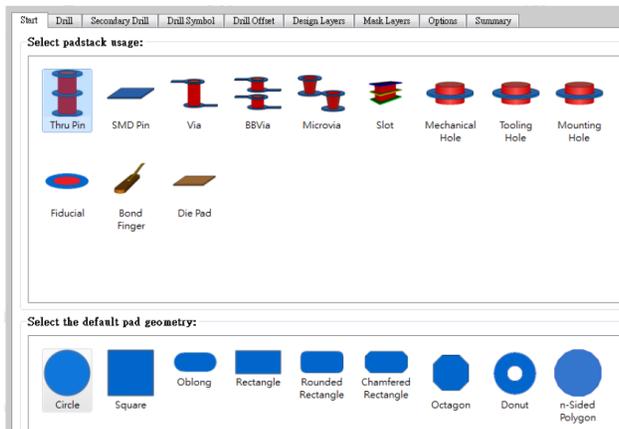
- 例: `.options SKIPTOPO = 1`

支持使用负值于迟滞电压 (Hysteresis voltage) 及临界电压 (threshold voltage) 中

OrCAD PCB Designer 17.2-2016 新功能

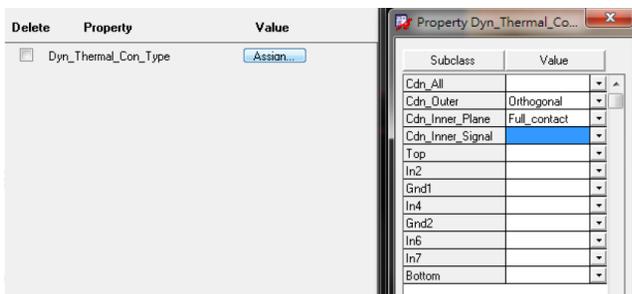
全新 Padstack 编辑器接口

新的 Padstack Editor 接口，简化了设置各种不同 Padstack 不必要的步骤，使用者只需要在 Start 页面选择要建立的种类与几何形状之后，就能在其他页面进行相关细节的设置。



动态铜支持分层定义

对于动态铜的 Pin/Via 连接及隔离设置，在新的版本中能够分层来做细节的定义。



下面设置也支持分层设置：

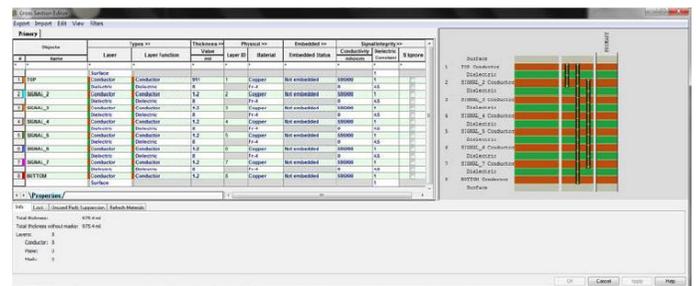
- Dyn_clearance_oversize_array
- Dyn_clearance_type

- Dyn_fixed_therm_width_array
- Dyn_max_thermal_conns
- Dyn_min_thermal_conns
- Dyn_oversize_therm_width_array
- Dyn_thermal_best_fit
- Dyn_thermal_con_type

全新的层叠编辑界面

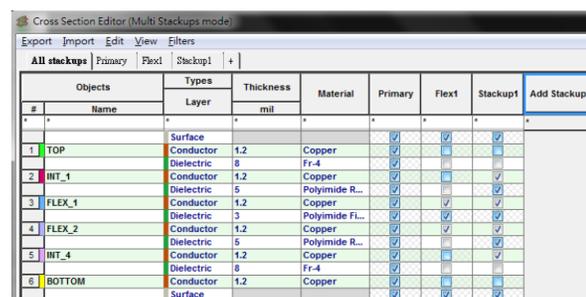
重新设计的层叠编辑设置，充分运用表格式的方法来进行相关设置，其理念来自于 Constraint Manager 的格式，由一致性的表格来让用户操作上更为易用。

新的接口整合了 Unused Pad Suppression 与 Embedded Component 设置还有支持了非电气层的部分，如：Solder mask, Paste, Coverlay...等；另外对于 Material 的字符长度也扩展到 250 个字符。



支持于软硬结合板的多重层叠设计

对应多重层叠的软硬结合板设计，可通过 Cross Section Editor 设置。

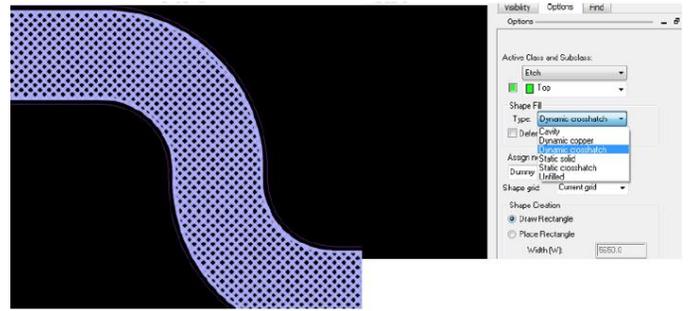


软硬板的区域范围管理

新增实体区域来分别定义软板或硬板的区域范围。

新增 Classes 及 Subclass 类型

加入软硬结合板及表面处理的 Class。



Class: Rigid-Flex

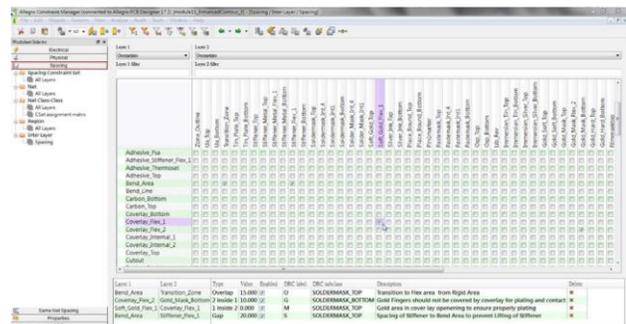
- Bend_Area
- Bend_Line
- Coverlay_Bottom
- Coverlay_Top
- Emi_Shield_Bottom
- Emi_Shield_Top
- Stiffener_Metal_Bottom
- Stiffener_Metal_Top
- Stiffener_Bottom
- Stiffener_Top
- Transition_Zone
- Zone_Outline

Class: Surface Finishes

- Carbon_Bottom
- Carbon_Top
- Enepig_Bottom
- Enepig_Top
- Enig_Bottom
- Enig_Top
- Gold_Hard_Bottom
- Gold_Hard_Top
- Gold_Soft_Bottom
- Gold_Soft_Top
- Immersion_Silver_Bottom
- Immersion_Silver_Top
- Osp_Bottom
- Osp_Top
- Silver_Ink_Bottom
- Silver_Ink_Top
- Tin_Plate_Bottom
- Tin_Plate_Top

软硬结合板的间层检查 (Inter Layer Checks / ILC)

软硬结合板设计因分别拥有不同的 mask 及表面涂层, 并且对于软板部分还会有弯折的区域, 所以要能够确保做到相对的检查以避免设计因生产组装时发生错误, 就能通过 Inter Layer Checks 制定相关检查条件。



新增 Design_Outline 及 CUTOUTS subclasses

对于 Board Geometry 新加入了 Design_Outline 及 CUTOUTS 的 subclass 供日后更广泛的应用。

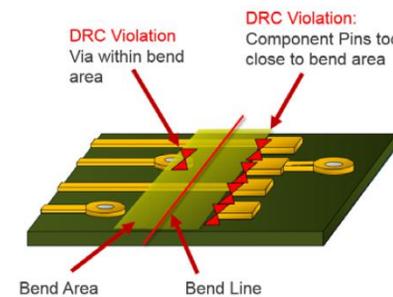
动态区域摆放

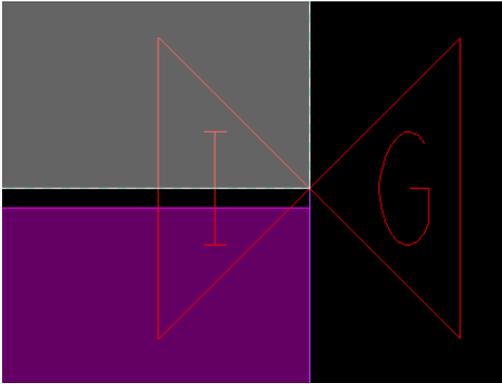
对于不同层叠层面的软硬结合板, 在摆放器件时能够依照所属的区域将器件摆放正确的层面上。

新增动态网状铜

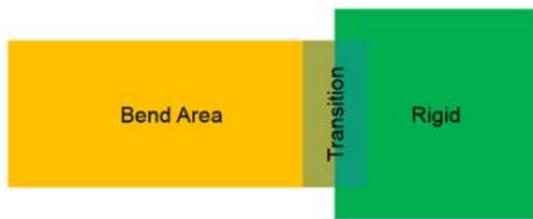
动态铜现在能直接铺设网状铜。

弯折区域对于 Pin, Via 的检查

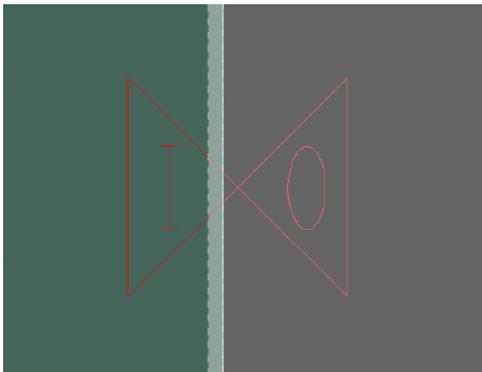




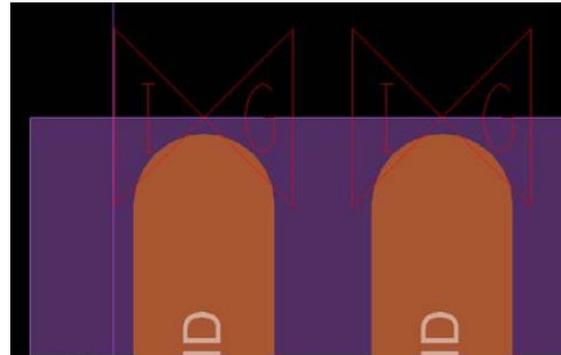
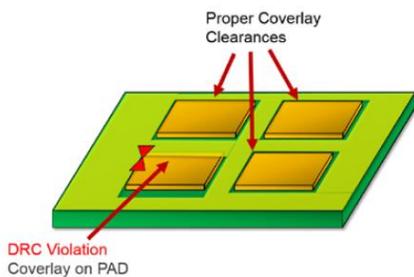
覆盖范围检查



Transition zone must overlap bend area by 15 mils.



层层表面涂层与 Pad 隔离检查



软硬结合板的生产信息

Cross section chart 支持多重层叠的表格。

MULTIPLE STACKUP TABLE										
#	NAME	TYPE	MATERIAL	RIGID-2	FLEX-3	FLEX-4	PRIMARY	FLEX-1	FLEX-2	
1	STIFFENER FLEX 1	SURFACE	FR-4	0.000	0.000	0.000	0.000	0.000	0.000	
2	TIN PLATE TOP	MASK	TIN	0.500	0.500	0.500	0.500	0.500	0.500	
3	ADHESIVE STIFFENER FLEX 1	MASK	ADHESIVE COBALT	0.084				0.084		
4	COVERLAY FLEX 1	MASK	POLYIMIDE	8.000	8.000	8.000	8.000	8.000	8.000	
5	ADHESIVE FLEX 1	MASK	ADHESIVE ACRYLIC	0.500	0.500			0.500	0.500	
6	GOLD TOP FLEX 1	MASK	POLYIMIDE							
7	PASTEMASK TOP	MASK	SOLDER PASTE SAC					3.000		
8	SOLDERMASK TOP	MASK	SOLDERMASK FLEXIBLE (LP)					0.591		
9	SOLDERMASK INT1	MASK	SOLDERMASK FLEXIBLE (LP)	0.591						
10	PASTEMASK INT1	MASK	SOLDER PASTE SAC	3.000						
11	TOP CONDUCTOR	CONDUCTOR	COPPER					1.200		
12	DIELECTRIC	PRE-4	FR-4					8.000		
13	INT 1 CONDUCTOR	CONDUCTOR	COPPER	1.200				1.200		
14	FLEX 1 CONDUCTOR	CONDUCTOR	POLYIMIDE RIGID SWIL	5.000				5.000		
15	FLEX 1 DIELECTRIC	DIELECTRIC	POLYIMIDE RIGID SWIL	1.200	1.200	1.200	1.200	1.200	1.200	
16	FLEX 2 CONDUCTOR	CONDUCTOR	POLYIMIDE FILM	3.000	3.000	3.000	3.000	3.000	3.000	
17	FLEX 2 DIELECTRIC	DIELECTRIC	POLYIMIDE RIGID SWIL	1.200	1.200	1.200	1.200	1.200	1.200	
18	INT 4 CONDUCTOR	CONDUCTOR	COPPER	1.200				1.200		
19	DIELECTRIC	PRE-4	FR-4					8.000		
20	BOTTOM CONDUCTOR	CONDUCTOR	COPPER					1.200		
21	PASTEMASK BOTTOM	MASK	SOLDER PASTE SAC					3.000		
22	SOLDERMASK BOTTOM	MASK	SOLDERMASK FLEXIBLE (LP)					0.591		
23	PASTEMASK INT 2	MASK	ADHESIVE ACRYLIC	0.500	0.500	0.500	0.500	0.500	0.500	
24	SOLDERMASK INT 2	MASK	POLYIMIDE	8.000	8.000	8.000	8.000	8.000	8.000	
25	GOLD HARD FLEX 2	MASK	POLYIMIDE					8.000		
26	ADHESIVE FLEX 2	MASK	POLYIMIDE					8.000	8.000	
27	GOLD HARD FLEX 2	MASK	POLYIMIDE					8.000	8.000	
28	COVERLAY FLEX 2	MASK	POLYIMIDE					8.000	8.000	
29	COVERLAY FLEX 2 SURFACE	SURFACE	FR-4	0.000	0.000	0.000	0.000	0.000	0.000	
30	TOTAL THICKNESS			30.381	47.084	44.900	52.381	39.884	44.900	
	ZONE NAME			ZONE_3	ZONE_4	ZONE_5	ZONE_6	ZONE_7	ZONE_8	
				ZONE_1	ZONE_2					

动态泪滴补铜设置

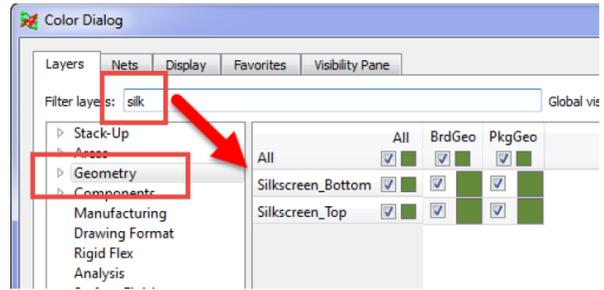
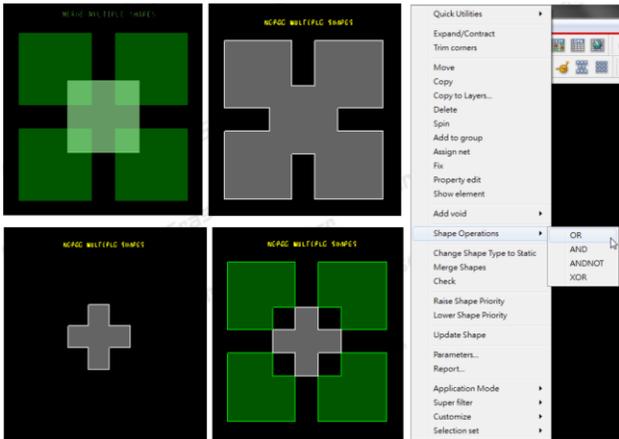
动态泪滴补铜现在可对各层面进行设置。

新增缺少的 Taper trace 执行输出报告

新增的报表，可将缺少的渐变 Taper trace 输出报表。

多元的编辑命令模式

v16.6-2015 新增可快速对 Shape 编辑的操作模式，在 v17.2 延续良好的操作编辑特性，再次加入了更多元的编辑命令。



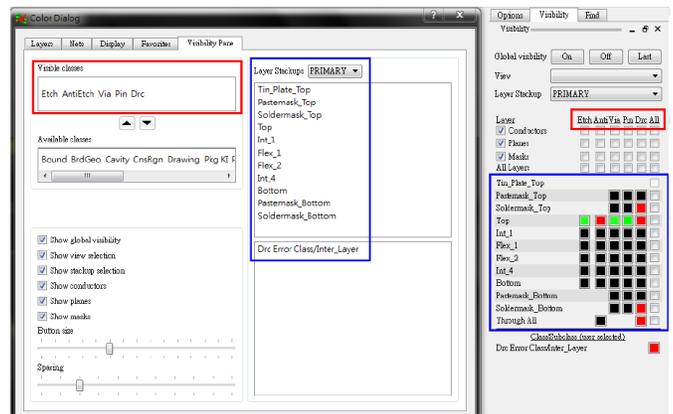
Visibility pane 可以控制显示对象种类，以及在多重层叠下各层叠显示的层面设置。

全新的 Color Dialog

信息的呈现是很重要的一环，因此新的 Color dialog 将会让您以更快速更有效率的方式来操作使用。

新的视觉呈现

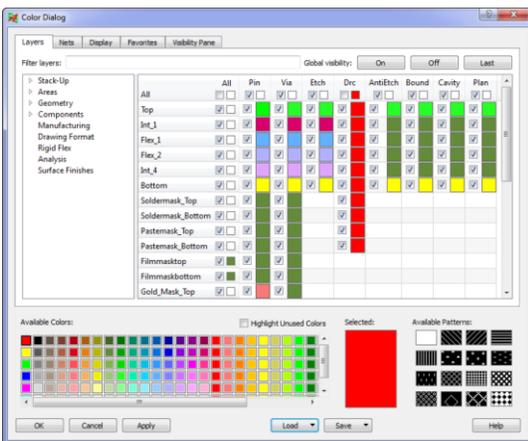
新的接口以卷标页方式来呈现 Layers / Nets / Display / Favorites / Visibility Pane。



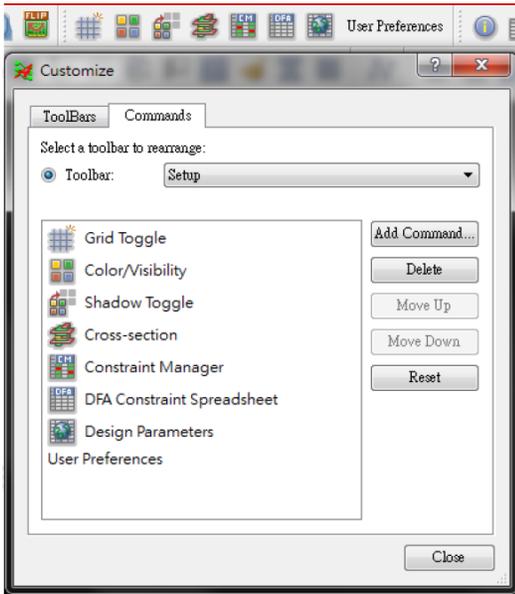
窗口接口的更新

个性化的工具栏

提供更能够个性化的自定义工具栏弹性，现在能让更多命令变成一个图标。

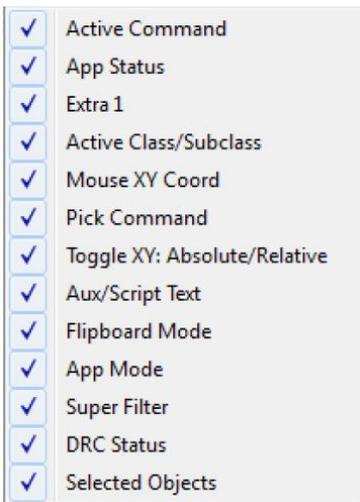


并且能通过 Filter 快速筛选出想设置的对象出来。



状态区的显示与隐藏设置

现在您可以设置 Status bar 上需要显示或隐藏的信息。

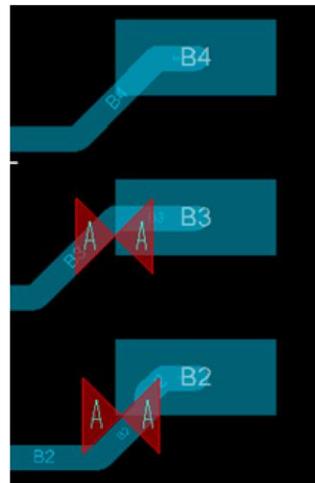
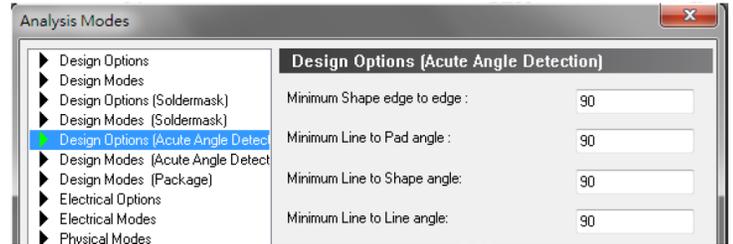


锐角检测

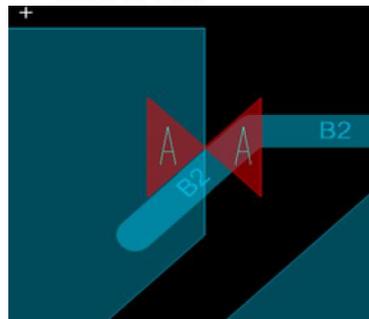
对于锐角的检查，使用者可以通过定义锐角角度来将以下四种情况进行确认。

- Line to Pad

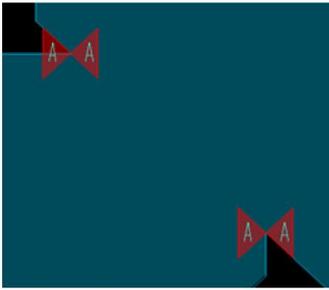
- Line to Shape
- Shape Edge to Edge
- Line to Line



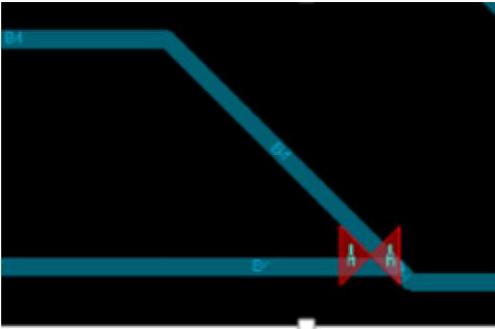
Line to Pad



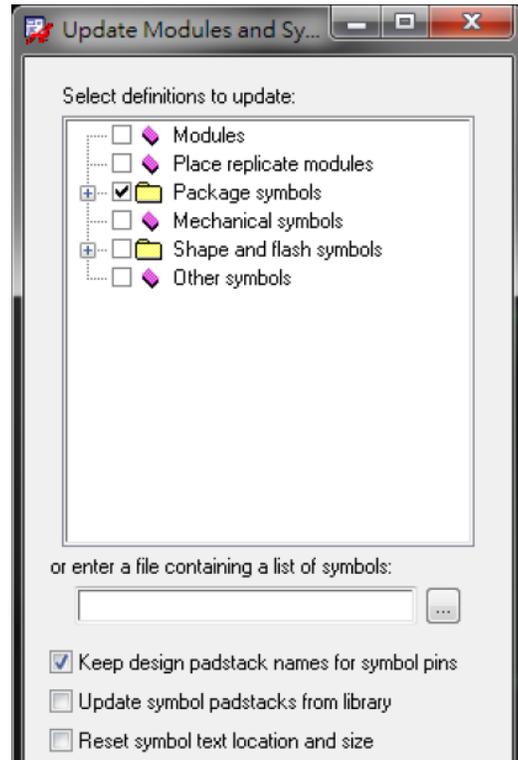
Line to Shape



Shape Edge to Shape Edge

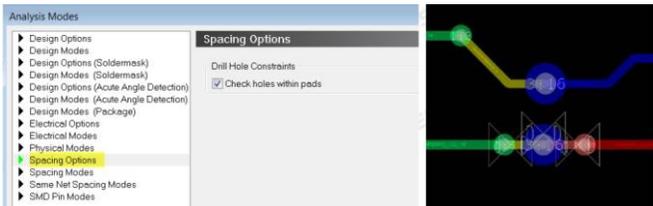


Line to Line



孔的间距检查

通过 Check holes within pads 的设置，无论 Hole 有无 Pad 都会依 CM Spacing 内 Hole 的间距设置执行检查。



Refresh Symbol - 维持 Padstacks 定义

如果设计当中有对器件封装进行 Replace Padstack，那么在 Refresh Symbol 时能够选择是否要保留现在设计中的 Padstack 名称而不被刷新。

效能提升

CPU 效能提升 10-20%。

Import logic 对于有很多 Pin 数的 Device (>2k pins) 条件时，处理速度比以往都要快。

字符长度增加

Default internal 的名称长度由原本的 32 个字符现可增加到 255 个字符。

Comtech 解决方案

- Cadence PCB 设计平台建设
- ECAD/CIS 库平台建设
- Allegro 软件二次开发
- PCB 项目设计及仿真外包服务
- Cadence 软件培训服务

Comtech 优势

- 实力雄厚的资深技术团队，多名 10 年以上经验的 FAE
- 丰富的 PCB 设计/EDA 平台建设等实践经验
- 出色的二次开发能力，为客户提供各种定制化开发需求
- 高效的技术服务平台，通过电话/邮件/Web/BBS，及时帮客户解决各类软件使用/设计相关问题
- 实战指导、项目现场支持等特色服务
- 最新技术资料下载客户专享通道，包括软件使用技巧、设计经验、国外技术文献翻译等
- 为客户提供量身定制的全面的针对性培训服务

联系方式

总部：深圳市南山区高新技术产业园南区创维大厦 C 座 15 楼

产品经理

联系人：王其平

手机：18049720018

电话：021-51696680-8063

传真：021-52370712

邮件：QipingWang@comtech.com.cn

地址：上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

邮编：200050

华东地区

联系人：陈敏敏

手机：18017922811

电话：021-51696680-8057

传真：021-52370712

邮件：PeterChen@comtech.com.cn

地址：上海市徐汇区桂平路 426 号华鑫商务中心 2 号楼 7 层 03-04 室

邮编：200050

华南及西部地区

联系人：谭波涛

手机：15920086575

电话：0755-26744082

传真：0755-26743385

邮件：terrytan@comtech.com.cn

地址：深圳市南山区高新科技园创维大厦 C 座 15 楼

邮编：518057

华北地区

联系人：党建成

手机：18010161381

电话：010-51726678-821

传真：010-51727874

邮件：SudyDang@comtech.com.cn

地址：北京市海淀区中关村大街 1 号海龙大厦 14 层北区 1418-21